

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-049333

(43)Date of publication of application : 15.02.2002

(51)Int.Cl.

G09F 9/30  
H05B 33/02  
H05B 33/04  
H05B 33/08  
H05B 33/14  
H05B 33/22

(21)Application number : 2001-142693

(71)Applicant : SEMICONDUCTOR ENERGY  
LAB CO LTD

(22)Date of filing : 14.05.2001

(72)Inventor : YAMAZAKI SHUNPEI  
KOYAMA JUN  
TAKAYAMA TORU

(30)Priority

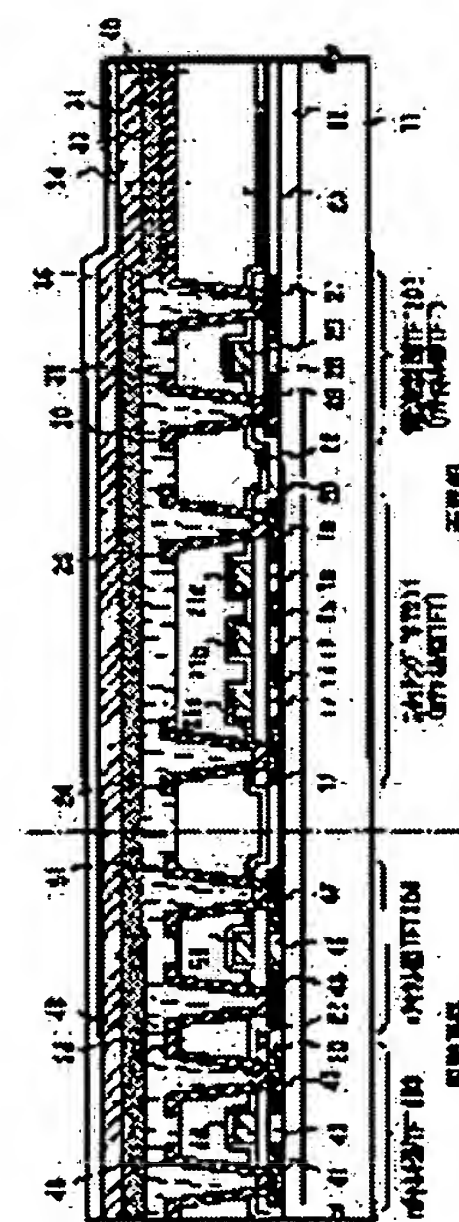
Priority number : 2000140043 Priority date : 12.05.2000 Priority country : JP

## (54) LIGHT EMITTING DEVICE AND ELECTRICAL EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a light emitting device in which the picture is bright and which is inexpensive, and an electrical equipment using the same.

SOLUTION: In this light emitting device comprising picture element parts and driving circuits on the same insulating material, all of the picture element parts and the driving circuits are formed of n-channel type semiconductor elements and the production process is simplified. As the light emitting elements disposed on the picture element parts are radiated in the direction apart from the insulating material, almost the whole of the picture electrode (which correspond to the negative electrode of EL element) becomes an effective light emitting region, therefore, can be made to be a display region effectively utilizing the area of pixel electrodes. In such a manner, the light emitting device of which



picture quality is bright and which is inexpensive, can be obtained.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] All the semiconductor devices that form said pixel section and said drive circuit in the luminescence equipment which includes the pixel section and a drive circuit on the same insulator are luminescence equipment characterized by being the semiconductor device of an n channel mold.

[Claim 2] It is luminescence equipment which a switching element and a current controlling element are prepared in said pixel section, and an inverter circuit is prepared in said drive circuit in the luminescence equipment which includes the pixel section and a drive circuit on the same insulator, and is characterized by all of said switching element, said current controlling element, and said inverter circuit consisting of a semiconductor device of an n channel mold.

[Claim 3] It is luminescence equipment characterized by being the plastic plate with which said insulator prepared the protective coat in both sides or one side in claim 1 or claim 2.

[Claim 4] It is luminescence equipment characterized by said semiconductor device being a thin film transistor in any 1 of claim 1 thru/or claims 3.

[Claim 5] It is luminescence equipment characterized by said drive circuit including an EEMOS circuit or an EDMOS circuit in any 1 of claim 1 thru/or claims 4.

[Claim 6] It is luminescence equipment characterized by preparing the EL element in these two or more pixels in any 1 of claim 1 thru/or claims 5 including the pixel of plurality [ section / said / pixel ].

[Claim 7] It is luminescence equipment characterized by including the decoder which consists of two or more NAND circuits in which said all drive circuits were formed by the semiconductor device of an n channel mold in the luminescence equipment which includes the pixel section and a drive circuit on the same insulator.

[Claim 8] It is luminescence equipment characterized by including the semiconductor device of n n channel molds connected to the semiconductor device of n n channel molds by which said NAND circuit was connected to the serial in claim 7, and juxtaposition.

[Claim 9] in the luminescence equipment which includes the pixel section and a drive circuit on the same insulator, said buffer connects to the semiconductor device of the 1st n-channel mold, and the mold semiconductor device of this 1st n channel at a serial including the buffer with which all said drive circuits were formed by the semiconductor device of an n-channel mold -- having -- and -- this -- the luminescence equipment characterized by to be included the semiconductor device of the 2nd n-channel mold which makes the gate the drain of the semiconductor device of the 1st n-channel mold.

[Claim 10] In the luminescence equipment which includes the pixel section and a drive circuit on the same insulator, said all drive circuits contain the decoder which consists of two or more NAND circuits formed with the n channel mold TFT, and the buffer altogether formed with the n channel mold TFT. said buffer -- the 1st n channel mold TFT -- and -- this -- it connects with the 1st n channel mold TFT at a serial -- having -- and -- this -- the luminescence equipment characterized by including the 2nd n channel mold TFT which makes the gate the drain of the 1st n channel mold TFT.

[Claim 11] It is luminescence equipment characterized by including the shift register which consists of two or more flip-flop circuits in which said drive circuit was formed with the E mold NTFT and the D

mold NTFT in the luminescence equipment which includes the pixel section and a drive circuit on the same insulator.

[Claim 12] It is luminescence equipment characterized by including two or more NAND circuits formed in the shift register list which consists of two or more flip-flop circuits in which said drive circuit was formed with the E mold NTFT and the D mold NTFT in the luminescence equipment which includes the pixel section and a drive circuit on the same insulator with the E mold NTFT and the D mold NTFT.

[Claim 13] It is luminescence equipment characterized by forming two or more E molds NTFT and two or more D molds NTFT in said pixel including the pixel of plurality [ section / said / pixel ] in the luminescence equipment which includes the pixel section and a drive circuit on the same insulator.

[Claim 14] It is luminescence equipment characterized by preparing SRAM by which said pixel section was formed in said pixel including two or more pixels in the luminescence equipment which includes the pixel section and a drive circuit on the same insulator with two or more E molds NTFT and two or more D molds NTFT.

[Claim 15] Luminescence equipment characterized by preparing the EL element in said pixel in claim 13 or claim 14.

[Claim 16] The electric appliance characterized by using luminescence equipment according to claim 1 to 14.

[Claim 17] The digital camera characterized by using luminescence equipment according to claim 1 to 14.

[Claim 18] The cellular phone characterized by using luminescence equipment according to claim 1 to 14.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to luminescence equipment including the drive circuit for transmitting a signal on the same insulator at the pixel section and the pixel section. It is a technique effective in the equipment (henceforth luminescence equipment) which has the component (henceforth a light emitting device) whose thin film which becomes inter-electrode [ of a pair ] from a luminescent ingredient was specifically pinched. In addition, an organic electroluminescence display and organic light emitting diode (OLED:Organic Light Emitting Diode) are contained in the luminescence equipment of this invention.

[0002] Especially this invention is a technique effective in the equipment (henceforth EL luminescence equipment) which has the component (henceforth an EL element) whose thin film (henceforth EL film) which consists of a luminescent ingredient with which EL (Electro Luminescence) is obtained was pinched between an anode plate and cathode.

[0003] In addition, the luminescent ingredient which can be used for this invention contains all the luminescent ingredients that emit light via singlet excitation, triplet excitation, or both excitation (phosphorescence and/or fluorescence).

[0004] Moreover, this invention can also be carried out to the equipment (henceforth a liquid crystal display) which has the component (henceforth a liquid crystal device) which inserted the liquid crystal ingredient into inter-electrode.

[0005]

[Description of the Prior Art] In recent years, development of active-matrix mold EL luminescence equipment is progressing. Active-matrix mold EL luminescence equipment prepares a thin film transistor (henceforth TFT) in each of each pixel prepared in the pixel section, controls the amount of currents which flows to an EL element by TFT, and controls the luminescence brightness of each pixel. Therefore, it is suitable when obtaining a high definition image, since an electrical potential difference can be supplied to each pixel at homogeneity even if the number of pixels increases.

[0006] Moreover, the advantage of active-matrix mold EL luminescence equipment is a point which can form circuits, such as a shift register, a latch, or a buffer, by TFT on the same insulator as a drive circuit which transmits a signal to the pixel section. It became possible to produce thereby very small lightweight EL luminescence equipment.

[0007] However, it had the problem that a manufacturing cost became it high that active-matrix mold EL luminescence equipment has the complicated production process of TFT. Moreover, in order to form two or more TFT(s) in coincidence, when a production process becomes complicated, it is difficult [ it ] to secure the yield. When a malfunction is especially in a drive circuit, the line defect that a pixel single tier does not operate may be caused.

[0008] The fundamental structure of active-matrix mold EL luminescence equipment is shown in drawing 18 (A) and (B) here. In drawing 18 R> 8 (A), on a substrate 1801, TFT(henceforth the current control TFT) 1802 for controlling the current which flows to an EL element is formed, and the anode plate 1803 is connected to the current control TFT1802. Moreover, on the anode plate 1803, the organic electroluminescence film (thin film which consists of a luminescent organic material with which EL is obtained) 1804, and cathode 1805 are formed, and EL element 1806 which consists of an anode plate 1803, organic electroluminescence film 1804, and cathode 1805 is



formed.

[0009] At this time, luminescence generated by the organic electroluminescence film 1804 penetrates an anode plate 1803, and is emitted toward the direction of the arrow head in drawing. Therefore, the current control TFT1802 became the shelter which sees from a watcher and interrupts luminescence, and had become the factor which narrows an effective luminescence field (field where a watcher can observe luminescence). Moreover, although luminescence brightness needed to be raised for obtaining a bright image when an effective luminescence field was narrow, we were anxious about raising luminescence brightness raising the driver voltage of the organic electroluminescence film, and bringing degradation forward.

[0010] Then, the active-matrix mold EL luminescence equipment of structure as shown in drawing 18 (B) is proposed. In drawing 18 (B), the current control TFT1807 is formed on a substrate 1801, and cathode 1808 is connected to the current control TFT1807. Moreover, on cathode 1808, the organic electroluminescence film 1809 and an anode plate 1810 are formed, and EL element 1811 which consists of cathode 1808, organic electroluminescence film 1809, and an anode plate 1810 is formed. That is, it becomes EL element 1811 of the structure of the reverse sense exactly in EL element 1806 shown in drawing 18 (A).

[0011] At this time, it is reflected in cathode 1808, and most things which advanced to the cathode 1808 side among the light generated by the organic electroluminescence film 1809 penetrate an anode plate 1810, and are emitted toward the direction of the arrow head in drawing. Therefore, it becomes possible to make into an effective luminescence field all the fields in which cathode 1808 was established, and active-matrix mold EL luminescence equipment with optical high ejection effectiveness is obtained. Furthermore, there is an advantage that high luminescence brightness is obtained even if driver voltage is low, and a bright image is obtained.

[0012]

[Problem(s) to be Solved by the Invention] This invention makes it a technical problem to hold down the manufacturing cost of the high luminescence equipment of optical ejection effectiveness, and makes it a technical problem for image quality to offer bright cheap luminescence equipment. Moreover, the image quality which used the luminescence equipment of this invention for the display makes it a technical problem to offer the cheap electric appliance which has a bright display.

[0013]

[Means for Solving the Problem] this invention persons thought it desirable to use the n channel mold TFT as current control TFT, when EL luminescence equipment with optical high ejection effectiveness as shown in drawing 18 (B) was produced. The reason is explained using drawing 19.

[0014] Drawing 19 (A) is the example which used the p channel mold TFT for the current control TFT to the structure of drawing 18 (B). At this time, the source of the current control TFT1901 is connected to the current supply source line 1902, and a drain is connected to the cathode of EL element 1903. In addition, at this structure, it is VL (potential of a low level.) about the potential of the current supply source line 1902. here, it is equal to touch-down potential -- \*\* -- carrying out -- the potential of the anode plate of EL element 1903 -- VH (high-level potential.) Here, it is 5-10V. It is necessary to carry out.

[0015] Moreover, potential of the gate of the current control TFT1901 is set to VG, potential of the source is set to VS, and potential of a drain is set to VD. At this time, VS-VL and a drain electrical potential difference are expressed [ the electrical potential difference which the gate voltage concerning the current control TFT1901 requires between VG-VS, the source, and a drain ] with VD-VL for VD-VS and a source electrical potential difference. Moreover, VS is also the potential of the cathode of EL element 1903, and if the gate of the current control TFT1901 opens, it will approach the potential VL of the current supply source line 1902. Moreover, the potential VD of a drain is equal to the potential VL of the current supply source line 1902.

[0016] However, since in the case of the structure of drawing 19 (A) potential VS will change if the current control TFT1901 opens (VL is approached), the electrical potential difference (VD-VS) itself which starts between gate voltage (VG-VS) and the source, and a drain will change. Consequently, the amount of currents which flows the current control TFT1901 changes with change of VS, and produces the problem that the current stabilized in EL element 1903 cannot be supplied.

[0017] On the other hand, the example which used current control TFT as the n channel mold TFT in

the structure of drawing 18 (B) is shown in drawing 19 (B). In this case, the electrical potential difference (VD-VS) which the potential VS of the source of the current control TFT1904 requires between gate voltage (VG-VS) and the source, and a drain since it is always equal to the potential VL of the current supply source line 1902 does not change. Therefore, the current stabilized in EL element 1903 can be supplied.

[0018] As mentioned above, when considering as the pixel of the structure where the cathode of an EL element is connected to the drain of the current control TFT, recognition that it was desirable using the n channel mold TFT as current control TFT was acquired.

[0019] So, in this invention, in order to reduce the manufacturing cost of the luminescence equipment of a active-matrix mold, it is characterized by using all semiconductor devices (typically thin film transistor) as the semiconductor device of an n channel mold. Since the production processes of the semiconductor device of a p channel mold are reduced by this, the production process of luminescence equipment is simplified and a manufacturing cost can be reduced.

[0020] Moreover, the point which forms a drive circuit only by the semiconductor device of an n channel mold is also one of the descriptions. That is, although a general drive circuit is designed on the basis of the CMOS circuit which combined the semiconductor device of an n channel mold, and the semiconductor device of a p channel mold complementary, in this invention, the description is that it forms a drive circuit only combining the semiconductor device of an n channel mold.

[0021]

[Embodiment of the Invention] The gestalt of operation of this invention shows the active-matrix mold EL luminescence equipment in which the pixel section and the drive circuit for transmitting a signal to the pixel section were formed on the same insulator to drawing 1.

[0022] In drawing 1, on a substrate 11, the insulator layer 12 used as a substrate is formed, and TFT (henceforth Switching TFT)201 used as a switching element, TFT (henceforth the current control TFT)202 used as a current controlling element, the n channel mold TFT203, and the n channel mold TFT204 are formed on it. Here, switching TFT201 and the current control TFT202 are shown as an example of TFT prepared in the pixel section, and the n channel mold TFT203 and the n channel mold TFT204 are shown as an example of an inverter circuit prepared in a drive circuit.

[0023] In addition, this invention is an especially effective technique, when using a plastic plate (plastic film is included) as a substrate 11. In forming TFT on a plastic plate, in the present condition, the electrical property with the good p channel mold TFT is not acquired. Therefore, this invention of forming all TFT(s) with the n channel mold TFT is a technique especially effective when producing active-matrix mold EL luminescence equipment using a plastic plate.

[0024] First, the pixel section is explained. Switching TFT201 is the n channel mold TFT, and includes the drain wiring 25 in a barrier layer including the source field 13, an isolation region (impurity range which exists between channel formation fields) 14, an isolation region 15, the drain field 16, and the channel formation fields 17-19, gate dielectric film 20, the gate electrodes 21a-21c, the inorganic insulator layer 22, an organic compound insulator 23, and source wiring 24 list. This switching TFT201 is a switching element for controlling the gate voltage of the current control TFT.

[0025] In addition, the inorganic insulator layer 22 is a silicon nitride film or nitriding oxidation silicon film (expressed with SiOxNy), and an organic compound insulator 23 is resin film (the polyimide film, the acrylic resin film, polyamide film, or benz-cyclo-butene film). An organic compound insulator 23 may be made to distribute metal particles or a carbon particle. In that case, generating of static electricity can be controlled by adjusting the content of metal particles or a carbon particle so that specific resistance may be set to  $1 \times 10^8$  to  $1 \times 10^{10}$  ohmm.

[0026] Moreover, as for source wiring 24 and the drain wiring 25, it is desirable to use the metal membrane containing the element (preferably caesium, magnesium, a lithium, calcium, a potassium, barium, or beryllium) belonging to one group of the periodic table or two groups. Moreover, as a metal membrane, the aluminum film, a copper thin film, or a silver thin film is desirable. In addition, the bismuth film can also be used.

[0027] Next, the current control TFT202 is the n channel mold TFT, and contains the pixel electrode 31 in a barrier layer including the source field 26, the drain field 27, and the channel formation field 28, gate dielectric film 20, the gate electrode 29, the inorganic insulator layer 22, an organic compound insulator 23, and source wiring 30 list. At this time, the drain wiring 25 of switching



TFT201 is connected to the gate electrode 29 of the current control TFT202. Moreover, the pixel electrode 31 connected to the drain field 27 of the current control TFT202 functions as cathode of EL element 40.

[0028] In addition, as for the pixel electrode 31, it is desirable to use the metal membrane containing the element (preferably caesium, magnesium, a lithium, calcium, a potassium, barium, or beryllium) belonging to one group of the periodic table or two groups. Moreover, as a metal membrane, the aluminum film, a copper thin film, or a silver thin film is desirable. In addition, the bismuth film can also be used.

[0029] Of course, since the source wiring 24 of switching TFT201, the drain wiring 25, and the source wiring 30 of the current control TFT202 are formed in the pixel electrode 31 and coincidence, they are formed with the same ingredient as the pixel electrode 31.

[0030] Moreover, 32 is a bank which consists of resin film (the polyimide film, the acrylic resin film, polyamide film, or benz-cyclo-butene film) which distributed metal particles or a carbon particle, and it contains metal particles or a carbon particle so that specific resistance may be set to  $1 \times 10^8$  to  $1 \times 10^{10}$  ohmm. With such specific resistance, the electrostatic discharge of TFT can be controlled at the time of membrane formation. Moreover, the thin film with which 33 contains the organic electroluminescence film, and 34 are the anode plates (electrode which consists of oxide electric conduction film typically) of EL element 40.

[0031] Furthermore, the passivation film 36 is formed so that EL element 40 which consists of the pixel electrode (cathode) 31, a thin film 33 containing the organic electroluminescence film, and an anode plate 34 may be covered. As passivation film 36, a silicon nitride film, the nitriding oxidization silicon film, a carbon film (preferably diamond-like carbon film), the aluminum-oxide film, or the tantalum oxide film can be used. The laminating of these may be carried out.

[0032] Here shows the 1-pixel circuitry in the pixel section to drawing 2. In drawing 2 (A), 205 is gate wiring for applying gate voltage to the gate electrodes 21a-21c of switching TFT201, and 206 is a current supply source line which supplies the current which flows to EL element 40. Moreover, 207 is a capacitor, and it is prepared in order to hold the gate voltage which joins the gate electrode 29 of the current control TFT202. In this case, make source wiring 30 of the current control TFT202 into the potential (VL) of a low level, and let the anode plate 34 of an EL element be high-level potential (VH).

[0033] Moreover, 1-pixel another circuitry is shown in drawing 2 (B). In the case of the circuitry shown in drawing 2 (B), EL element 208 is formed between the current supply source line 206 and the current control TFT202. In this case, make source wiring 30 of the current control TFT202 into high-level potential (VH), and let the anode plate 34 of an EL element be the potential (VL) of a low level. Moreover, the current supply source line 206 functions as an anode plate 34 of an EL element at this time.

[0034] In addition, although the example which prepared two TFT(s) (Switching TFT and current control TFT) in 1 pixel here is shown, the number of TFT may be three pieces, four pieces, five pieces, six pieces, or more than it. That is, it is possible to prepare TFT which controls other signals in addition to the current control TFT which controls the amount of currents which flows to Switching TFT and EL element 40 which change the video signal inputted from source wiring 24.

[0035] Next, a drive circuit is explained using drawing 1. The n channel mold TFT203 includes the drain wiring 46 in a barrier layer including the source field 41, the drain field 42, and the channel formation field 43, gate dielectric film 20, the gate electrode 44, the inorganic insulator layer 22, an organic compound insulator 23, and source wiring 45 list.

[0036] Moreover, the n channel mold TFT204 includes the n channel mold TFT203 and the common drain wiring 46 in a barrier layer including the source field 47, the drain field 48, and the channel formation field 49, gate dielectric film 20, the gate electrode 50, the inorganic insulator layer 22, an organic compound insulator 23, and source wiring 51 list.

[0037] In addition, the source wiring 45 of the n channel mold TFT203, the drain wiring (the n channel mold TFT204 and common wiring) 46, and the source wiring 51 of the n channel mold TFT204 are formed with the same ingredient as the pixel electrode 31.

[0038] In addition, although all TFT(s) shown in this example are formed with the n channel mold TFT (henceforth the E mold NTFT) of an enhancement type, they can also use either the n channel



mold TFT203 or the n channel mold TFT204 as a DEPURESHON mold. In that case, an enhancement type and a DEPURESHON mold can be made and divided by adding the element (preferably boron) belonging to the element (preferably Lynn) which belongs to 15 groups of a periodic table at the semi-conductor used as a channel formation field, or 13 groups of a periodic table.

[0039] Moreover, when forming an NMOS circuit combining the n channel mold TFT203 and the n channel mold TFT204, it may form combining the case (henceforth an EEMOS circuit) where it forms by enhancement type TFT(s), and an enhancement type and a DEPURESHON mold (henceforth an EDMOS circuit).

[0040] The example of an EEMOS circuit is shown in drawing 3 (A), and the example of an EDMOS circuit is shown in drawing 3 (B) here. In drawing 3 (A), both of 301 and 302 are the E molds NTFT. Moreover, in drawing 3 (B), 303 is the E mold NTFT and 304 is the n channel mold TFT (henceforth the D mold NTFT) of a DEPURESHON mold.

[0041] In addition, in drawing 3 (A) and (B), VDH is a power-source line (positive supply line) by which a forward electrical potential difference is impressed, and VDL is a power-source line (negative supply line) by which a negative electrical potential difference is impressed. A negative supply line is good also as a power-source line (touch-down power-source line) of touch-down potential.

[0042] Furthermore, the example which produced the shift register using the EDMOS circuit shown in the EEMOS circuit or drawing 3 (B) shown in drawing 3 (A) is shown in drawing 4. In drawing 4, 400 and 401 are flip-flop circuits. Moreover, 402 and 403 are the E molds NTFT, a clock signal (CL) is inputted into the gate of the E mold NTFT402, and the clock signal (CL bar) which the polarity reversed is inputted into the gate of the E mold NTFT403. Moreover, the notation shown by 404 is an inverter circuit, and as shown in drawing 4 (B), the EDMOS circuit shown in the EEMOS circuit or drawing 3 (B) shown in drawing 3 (A) is used.

[0043] With the gestalt of operation of this invention, since the processes which form the p channel mold TFT by using all TFT(s) as the n channel mold TFT are reduced, the production process of EL luminescence equipment can be simplified. Moreover, the yield of a production process can improve in connection with it, and the manufacturing cost of EL luminescence equipment can be lowered.

[0044]

[Example] [Example 1] This example explains how to manufacture the pixel section and the drive circuit prepared around it on the same insulator. However, in order to simplify explanation, suppose that the NMOS circuit which combined the n channel mold TFT about the drive circuit is illustrated.

[0045] First, as shown in drawing 5 (A), the insulator 501 which consists of plastics is prepared. In this example, the insulator which coated both sides (a front face and rear face) of plastic plate 501a with protective coats (carbon film, specifically diamond-like carbon film) 501b and 501c is prepared as an insulator 501 which consists of plastics. Of course, it is good also as a configuration which prepared the protective coat in one side (a front face or rear face).

[0046] Next, the substrate film 502 is formed on an insulator 501 at the thickness of 300nm. In this example, as substrate film 502, the laminating of the nitriding oxidation silicon film is carried out, and it is used by the spatter. At this time, nitrogen concentration of the layer which touches an insulator 501 is made into 10 - 25wt%, and it is good to make slight height contain nitrogen rather than other layers.

[0047] Next, the amorphous semiconductor film (not shown) with a thickness of 50nm is formed by the spatter on the substrate film 502. Since an insulator 501 is plastics, it is desirable that membrane formation temperature does not exceed 200 degrees C (preferably 150 degrees C).

[0048] In addition, what is necessary is just the semi-conductor film (the microcrystal semi-conductor film is included) which does not need to limit to the amorphous semiconductor film and includes amorphous structure. As amorphous semiconductor film, amorphous silicon or the amorphous silicon germanium film can be used. Moreover, thickness should just be 20-100nm in thickness.

[0049] And the amorphous silicon film is crystallized using the well-known laser crystallizing method, and the crystalline substance semi-conductor film 503 is formed. In addition, an excimer laser may be used although solid state laser (specifically Nd: the 2nd higher harmonic of an YAG

laser) is used in this example. Moreover, as long as the crystallization approach is range which the thermal resistance of the insulator 501 which consists of plastics allows, it may use what kind of means.

[0050] Next, as shown in drawing 5 (B), the crystalline substance semi-conductor film 503 is etched according to the 1st photolithography process, and the island-like semi-conductor film 504-507 is formed. These are semi-conductor film which serves as a barrier layer of TFT behind.

[0051] In addition, although the crystalline substance semi-conductor film is used as a barrier layer of TFT in this example, it is also possible to use the amorphous semiconductor film as a barrier layer.

[0052] By this example, the protective coat (not shown) which consists of oxidation silicon film is formed by the spatter on the semi-conductor film 504-507 at the thickness of 130nm, and the impurity element (henceforth p mold impurity element) which uses a semi-conductor as a p type semiconductor is added on the semi-conductor film 504-507 here. The element (typically boron or a gallium) which belongs to 13 groups of the periodic table as a p mold impurity element can be used. In addition, this protective coat is prepared in order to enable concentration control delicate in order not to put the crystalline substance silicon film to the direct plasma, in case an impurity is added.

[0053] moreover, the concentration of p mold impurity element added at this time --  $1 \times 10^{15}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup> (typically  $1 \times 10^{16}$  -  $1 \times 10^{17}$  atoms/cm<sup>3</sup>) -- then, it is good. p mold impurity element added by this concentration is used for accommodation of the threshold electrical potential difference of the n channel mold TFT.

[0054] Next, the front face of the semi-conductor film 504-507 is washed. First, a front face is washed using the pure water containing ozone. Since a thin oxide film is formed in a front face in that case, a thin oxide film is removed using the fluoric acid water solution diluted to 1 more%. The contamination which adhered to the front face of the semi-conductor film 504-507 by this processing is removable. As for the concentration of ozone, at this time, considering as 6 or more mg/L is desirable. Processing of these single strings is performed without carrying out atmospheric-air disconnection.

[0055] And the semi-conductor film 504-507 is covered, and gate dielectric film 508 is formed by the spatter. What is necessary is just to use 10-200nm of insulator layers which contain silicon with a thickness of 50-150nm preferably as gate dielectric film 508. Monolayer structure or a laminated structure is sufficient as this. In this example, the nitriding oxidation silicon film of 115nm thickness is used.

[0056] In this example, it carries out without carrying out atmospheric-air disconnection of from the surface washing of the semi-conductor film 504-507 to the formation of gate dielectric film 508, and reduction of the contamination in the interface of the semi-conductor film 504-507 and gate dielectric film 508 and interface state density is aimed at. In this case, what is necessary is just to use the equipment of a multi chamber method (or in-line method) with a washing room and a spatter room at least.

[0057] Next, the tantalum nitride film of 30nm thickness is formed as 1st electric conduction film 509, and the 370nm tungsten film is further formed as 2nd electric conduction film 510. The combination which uses the aluminium alloy film for others as the tungsten film and 2nd electric conduction film as 1st electric conduction film and which combines or uses the tungsten film as the titanium film and 2nd electric conduction film as 1st electric conduction film may be used.

[0058] What is necessary is just to form these metal membranes by the spatter. Moreover, if inert gas, such as Xe and Ne, is added as sputtering gas, film peeling by stress can be prevented. moreover, the thing for which purity of a tungsten target is made into 99.9999% -- resistivity -- 20 or less microomegacm -- low -- the tungsten film [ \*\*\*\* ] can be formed.

[0059] Moreover, it is also possible to carry out without carrying out atmospheric-air disconnection of from the surface washing of the above-mentioned semi-conductor film 504-507 to the formation of the 2nd electric conduction film 510. In this case, what is necessary is just to use at least the equipment of a multi chamber method (or in-line method) with the spatter room which forms a washing room, the spatter room which forms an insulator layer, and the electric conduction film.

[0060] Next, the resist masks 511a-511g are formed, and the 1st electric conduction film 509 and the 2nd electric conduction film 510 are etched. In addition, in this specification, the etching processing



performed here is called the 1st etching processing. ( Drawing 5 (C) )

[0061] In this example, the etching approach which used ICP (Inductively Coupled Plasma: inductive-coupling mold plasma) is adopted.

[0062] First, it considers as the pressure of 1Pa, using the mixed gas of carbon tetrafluoride (CF<sub>4</sub>) gas, chlorine (Cl<sub>2</sub>) gas, and oxygen (O<sub>2</sub>) gas as etching gas. For carbon tetrafluoride gas, at this time, 2.5x10<sup>-5</sup>m<sup>3</sup>/min and chlorine gas are [ 2.5x10<sup>-5</sup>m<sup>3</sup>/min and the oxygen gas of the flow rate of each gas ] 1.0x10<sup>-5</sup>m<sup>3</sup>/min.

[0063] And RF power (13.56MHz) of 500W is impressed to the electrode of a coil mold in this condition, and the plasma is generated. Moreover, RF power (13.56MHz) of 150W is impressed to the stage on which the substrate was put as an auto-bias electrical potential difference, and it is made for a negative auto-bias to join a substrate. This etching condition is called the 1st etching condition.

[0064] Thereby, the 2nd electric conduction film (tungsten film) 510 is etched alternatively. This is because advance of etching of the 1st electric conduction film (tantalum nitride film) becomes extremely slow because oxygen joins etching gas. Moreover, it can consider as the configuration which has the taper which has a 15-45-degree taper angle using retreat of the resist masks 511a-511e. About 25-degree taper angle can be acquired on the 1st etching condition.

[0065] In addition, a taper is the part to which the end face in the edge of an electrode became slanting, and the include angle with a substrate is called a taper angle. Moreover, the configuration which has a taper is a configuration which became slanting with the taper angle with an electrode edge, and a trapezoid is contained in the configuration which has a taper.

[0066] Next, it etches by making etching gas into the mixed gas of carbon tetrafluoride gas and chlorine gas. At this time, carbon tetrafluoride gas and the chlorine gas of 1Pa and the flow rate of each gas are 3.0x10<sup>-5</sup>m<sup>3</sup>/min about a pressure. Moreover, RF power of 500W is impressed to the electrode of a coil mold, and RF power of 20W is impressed to the stage on which the substrate was put as an auto-bias electrical potential difference. This condition is called the 2nd etching condition.

[0067] In this way, the source wiring 517 of Switching TFT and the drain wiring 518 are formed in the gate electrode 512 which consists of a cascade screen of the 1st electric conduction film and the 2nd electric conduction film - 516 lists.

[0068] Next, n mold impurity element (this example Lynn) is added in self align by using the gate electrodes 512-516, source wiring 517, and drain wiring 518 as a mask. In this way, n mold impurity element is contained in the impurity ranges 519-527 formed by the concentration of 1x10<sup>20</sup> - 1x10<sup>21</sup> atoms/cm<sup>3</sup> (typically 2x10<sup>20</sup> - 5x10<sup>21</sup> atoms/cm<sup>3</sup>). These impurity ranges 519-527 form the source field and drain field of the n channel mold TFT.

[0069] Next, a gate electrode is etched, using the resist masks 511a-511g as it is. What is necessary is just to make this etching condition into the etching conditions which set the auto-bias electrical potential difference to 20W in the 1st etching condition. On this condition, only the 2nd electric conduction film (tungsten film) is etched alternatively, and the drain wiring (henceforth the 2nd drain wiring) 534 with which it consists of the gate electrodes (henceforth the 2nd gate electrode) 528-532 which consist of the 2nd electric conduction film, source wiring (henceforth the 2nd source wiring) 533 which consists of the 2nd electric conduction film, and the 2nd electric conduction film is formed. ( Drawing 5 (D) )

[0070] Next, as shown in drawing 5 (E), n mold impurity element (this example Lynn) is added, using the resist masks 511a-511g as it is. At this process, n mold impurity ranges 535-544 where the 2nd gate electrodes 528-532 functioned as a mask, and n mold impurity element was contained by the concentration of 2x10<sup>16</sup> - 5x10<sup>19</sup> atoms/cm<sup>3</sup> (typically 5x10<sup>17</sup> - 5x10<sup>18</sup> atoms/cm<sup>3</sup>) are formed. In addition, on these specifications, the impurity range where n mold impurity element was added by this concentration will be called n mold impurity range (b).

[0071] Moreover, addition conditions here set up acceleration voltage 70-120kV (this example 90kV) and more highly so that Lynn may penetrate the 1st electric conduction film and gate dielectric film and may reach the semi-conductor film.

[0072] Next, as shown in drawing 6 (A), gate dielectric film 508 is etched by the dry etching method, and the gate dielectric film 545-549 isolated mutually is formed. In addition, although this example shows the example which etched gate dielectric film so that it may be exposed of n mold (impurity range a) 519-527, gate dielectric film may remain in the front face of n mold (impurity

range a) 519-527.

[0073] As etching gas, by the flow rate of  $3.5 \times 10^{-5} \text{m}^3/\text{min}$ , this etching condition sets  $\text{CHF}_3$  (3 carbon fluoride) gas as a sink, and sets an etching pressure to  $7.3 \times 10^3 \text{Pa}$ . Moreover, impression power is set to 800W.

[0074] At this time, the 1st electric conduction film (tantalum nitride film) is etched into coincidence, and the gate electrodes (henceforth the 1st gate electrode) 550-554 which consist of the 1st electric conduction film are formed. Therefore, EL luminescence equipment shown in this example has the gate electrode of the structure which carried out the laminating of the 1st gate electrode and the 2nd gate electrode.

[0075] moreover, it is shown in drawing 6 (A) -- as -- the 1st gate electrode 550 -- n mold impurity range (b) -- it becomes what a part laps with 535 and 536 (it laps through gate dielectric film 545). namely, n mold impurity range (b) -- although 535 and 536 include the fields 536a and 536b which do not lap with Fields 535a and 535b and the 1st gate electrode 550 which lap with the 1st gate electrode 550 through gate dielectric film 545 through gate dielectric film 545, they are good.

[0076] In addition, although the 1st gate electrode 550 functions as some gate electrodes, the fields 535a and 536a which lapped with the 1st gate electrode 550 through gate dielectric film 545 are effective in reduction of a hot carrier effect. Degradation which originates in a hot carrier effect by this can be controlled. The above description is common to all TFT(s).

[0077] Next, as shown in drawing 6 (B), added n mold impurity element is activated. As an activation means, laser annealing is desirable. Of course, as long as the thermal resistance of plastic plate 501a allows, the means which used together lamp annealing, furnace annealing, or them and laser annealing may be used. In addition, it is desirable to make low the oxygen density in a processing ambient atmosphere as much as possible at this time. This is for preventing oxidation of a gate electrode, and sets an oxygen density to 1 ppm or less desirably.

[0078] Next, as shown in drawing 6 (C), the inorganic insulator layer 555 which consists of a silicon nitride film or nitriding oxidation silicon film is formed in the thickness of 50-200nm. What is necessary is just to form this inorganic insulator layer 555 by the spatter.

[0079] Then, the plasma treatment using hydrogen ( $\text{H}_2$ ) gas or ammonia ( $\text{NH}_3$ ) gas performs a hydrogen treating. If a hydrogen treating is completed, the resin film which penetrates the light as an organic compound insulator 556 will be formed in the thickness of 1-2 micrometers. What is necessary is just to use the polyimide film, the polyamide film, the acrylic resin film, or the BCB (benz-cyclo-butene) film as resin film. Moreover, it is also possible to use the photopolymer film.

[0080] In addition, in this example, the cascade screen of the inorganic insulator layer 555 and an organic compound insulator 556 is called an interlayer insulation film.

[0081] Next, as shown in drawing 6 (D), a contact hole is formed to an interlayer insulation film, and wiring 557-562 and the pixel electrode 563 are formed. In addition, in this example, it considers as the cascade screen of 3 layer structures which carried out continuation formation of the aluminum film which includes this wiring for the 50nm [ a lower layer side to ] titanium film, and 200nm titanium, and the aluminum film containing a 200nm lithium by the spatter. Moreover, only the aluminum film containing a lithium can also be formed with vacuum deposition. However, it is desirable to carry out continuation formation without carrying out atmospheric-air disconnection also in such a case.

[0082] It is important to make it the maximum front face of the pixel electrode 563 turn into a small metal side of a work function here. This is because the pixel electrode 563 will function as cathode of an EL element as it is. therefore -- at least -- a pixel -- an electrode -- 563 -- the maximum -- a front face -- the periodic table -- one -- a group -- or -- two -- groups -- belonging -- an element -- containing -- a metal membrane -- or -- a bismuth -- (-- Bi --) -- the film -- \*\* -- carrying out -- things -- being desirable . Moreover, since wiring 557-562 is formed in the pixel electrode 563 and coincidence, it will be formed by the same electric conduction film.

[0083] In wiring 557 and 559, at this time, the source wiring of an NMOS circuit and 558 function as drain wiring. Moreover, wiring 560 functions as wiring which connects electrically source wiring 517 and the source field of Switching TFT, and wiring 561 functions as wiring which connects electrically the drain wiring 518 and the drain field of Switching TFT. Moreover, 562 is the source wiring (it is equivalent to a current supply source line) of the current control TFT, and 563 is the



pixel electrode of the current control TFT.

[0084] Next, as shown in drawing 7, the wrap insulator layer (henceforth a bank) 564 is formed for the edge of the pixel electrode 563. Patterning of the insulator layer or the organic resin film containing 100-400nm silicon is carried out, and bank 564 should just form it. This bank 564 is formed so that between a pixel and pixels (between a pixel electrode and pixel electrodes) may be filled. Moreover, the purpose which prevents from touching the edge of the pixel electrode 563 directly also has organic electroluminescence film, such as a luminous layer formed in a degree.

[0085] In addition, since bank 564 is an insulator layer, it needs cautions for the electrostatic discharge of the component at the time of membrane formation. In this example, into the insulator layer used as the ingredient of bank 564, a carbon particle metallurgy group particle is added, resistivity is lowered, and generating of static electricity is controlled. Under the present circumstances, resistivity should just adjust the addition of a carbon particle metallurgy group particle so that it may be set to  $1 \times 10^6$  to  $1 \times 10^{12}$  ohmm (preferably  $1 \times 10^8$ - $1 \times 10^{10}$  ohmm).

[0086] Next, the EL layer 565 is formed with vacuum deposition. In addition, in this example, the layered product of a hole-injection layer and a luminous layer is called EL layer. That is, the layered product which combined a hole-injection layer, an electron hole transportation layer, the electron hole blocking layer, the electronic transportation layer, the electron injection layer, or the electronic blocking layer to the luminous layer is defined as EL layer. In addition, these may be organic materials, or may be inorganic materials, and may be macromolecules, or may be low-molecular.

[0087] In this example, the lithium fluoride (LiF) film is first formed in thickness of 20nm as an electron injection layer, and an aluminum kino RIRATO complex (Alq3) is further formed in the thickness of 80nm as a luminous layer. Moreover, the dopant (typically fluorochrome) which serves as an emission center to a luminous layer may be added by vapor codeposition. The organic material which emits light via triplet excitation as this dopant may be used.

[0088] Next, if the EL layer 565 is formed, a work function will be large and will form in the thickness of 300nm the anode plate 566 which consists of transparent oxide electric conduction film to the light. In this example, the oxide electric conduction film which added the oxidation gallium is formed in a zinc oxide using vacuum deposition. Moreover, it is also possible to use the oxide electric conduction film which consists of indium oxide, a zinc oxide, tin oxide, or a compound that combined them as other oxide electric conduction film. In this way, EL element 567 including the pixel electrode (cathode) 563, the EL layer 565, and an anode plate 566 is formed.

[0089] In addition, after forming an anode plate 566, it is effective to form the passivation film 568, as EL element 567 is covered completely. It consists of an insulator layer containing a carbon film, a silicon nitride film, or the nitriding oxidation silicon film as passivation film 568, and this insulator layer is used in a monolayer or the combined laminating.

[0090] Under the present circumstances, it is desirable to use the good film of coverage as passivation film, and it is effective to use a carbon film, especially the DLC (diamond-like carbon) film. Since the DLC film can be formed from a room temperature in a temperature requirement 100 degrees C or less, it can be easily formed also above the heat-resistant low EL layer 565. Moreover, the DLC film has the high blocking effectiveness over oxygen, and it is possible to control oxidation of the EL layer 565. Therefore, while performing the closure process which continues next, the problem that the EL layer 565 oxidizes can be prevented.

[0091] Furthermore, a sealing agent 569 is formed on the passivation film 568, and the covering material 570 is stuck. It is effective to prepare in the interior the matter which has the matter or the antioxidizing effectiveness of having the moisture absorption effectiveness that what is necessary is just to use ultraviolet-rays hardening resin as a sealing agent 569. Moreover, in this example, the covering material 570 uses carbon films (preferably diamond-like carbon film) 570b and 570c for both sides of plastic plate (plastic film is also included) 570a.

[0092] In this way, EL luminescence equipment of structure as shown in drawing 7 is completed. In addition, after forming bank 564, it is effective to process continuously a process until it forms the passivation film 568 using the membrane formation equipment of a multi chamber method (or in-line method), without carrying out atmospheric-air release. Furthermore, it is also possible to process continuously, without carrying out atmospheric-air release even of the process which is developed and sticks the covering material 570.

[0093] In this way, the n channel mold 601 and TFT 602, switching TFT(n channel mold TFT) 603, and the current control TFT(n channel mold TFT) 604 are formed on the insulator 501 which uses a plastic plate as a parent. The photolithography process needed by the production process of \*\*\*\*\* is 5 times, and there are than common active-matrix mold EL luminescence equipment. [ few ]

[0094] That is, the production process of TFT is simplified sharply and improvement in the yield and reduction of a manufacturing cost can be realized. moreover, TFT and an EL element became the structure inserted with the insulator (covering material is also included) which uses a plastic plate as a parent -- it gets down and very flexible and lightweight EL luminescence equipment can also be realized.

[0095] Furthermore, as explained using drawing 6 (A), the n channel mold TFT strong against degradation resulting from a hot carrier effect can be formed by preparing the impurity range which laps with the 1st gate electrode through gate dielectric film. Therefore, reliable EL luminescence equipment is realizable.

[0096] Moreover, the example of circuitry of EL luminescence equipment of this example is shown in drawing 8 . In addition, this example shows the circuitry for performing a digital drive. In this example, it has the source side drive circuit 801, the pixel section 806, and the gate side drive circuit 807. In addition, it is the generic name with which the drive circuit included the source side drive circuit and the gate side drive circuit into this specification.

[0097] the source -- a side -- a drive -- a circuit -- 801 -- a shift register -- 802 -- a latch -- (-- A --) -- 803 -- a latch -- (-- B --) -- 804 -- a buffer -- 805 -- preparing -- \*\*\*\* . In addition, in an analog drive, a sampling circuit (it is also called the transfer gate or an analog switch) should just be prepared instead of a latch (A) and (B). Moreover, the gate side drive circuit 807 has formed the shift register 808 and the buffer 809. In addition, what is necessary is just to use the shift register shown in drawing 4 as shift registers 802 and 808.

[0098] Moreover, in this example, the EL element is prepared in two or more of the pixels including the pixel of plurality [ section / 806 / pixel ]. As for the cathode of an EL element, at this time, it is desirable to connect with the drain of the current control TFT electrically.

[0099] These source side drive circuit 801 and the gate side drive circuit 807 are altogether formed with the n channel mold TFT, and all circuits are formed considering the EEMOS circuit shown in drawing 3 (A) as a base unit. Although power consumption will be improved a little compared with the conventional CMOS circuit, since about 95% of power is consumed in the pixel section, EL luminescence equipment which used the CMOS circuit for the drive circuit from the first does not pose a problem so much, even if the power consumption of a drive circuit goes up by using an NMOS circuit somewhat.

[0100] In addition, although not illustrated, on both sides of the pixel section 806, a gate side drive circuit may be further established in the opposite side of the gate side drive circuit 807. In this case, both sides are owning gate wiring jointly between the same structure, and are taken as a configuration which a gate signal is sent [ configuration ] from the direction which remained even if one of the two broke, and operates the pixel section normally.

[0101] In addition, the above-mentioned configuration is realizable by producing TFT according to the production process shown in drawing 5 - drawing 7 . Moreover, although this example shows only the configuration of the pixel section and a drive circuit, if the production process of this example is followed, logical circuits, such as a signal dividing network, a D/A converter, an operational amplifier, and a gamma correction circuit, can be formed on the same insulator, and memory and a microprocessor can also be formed further.

[0102] Furthermore, EL luminescence equipment of this example after going to the closure (or enclosure) process for protecting an EL element is explained using drawing 9 (A) and (B). In addition, the sign used by drawing 5 - drawing 8 if needed is quoted.

[0103] The plan showing the condition that drawing 9 (A) performed even the closure of an EL element, and drawing 9 (B) are the sectional views which cut drawing 9 (A) by A-A'. As for a source side drive circuit and 806, 801 shown by the dotted line is [ the pixel section and 807 ] gate side drive circuits. Moreover, as for 901, a sealing agent 907 is formed in the inside by which the 1st sealant and 903 are the 2nd sealant, and were surrounded by the 1st sealant 902, as for covering material and 902.



[0104] In addition, 904 is wiring for transmitting the signal inputted into the source side drive circuit 801 and the gate side drive circuit 807, and receives a video signal and a clock signal from FPC (flexible print circuit) 905 used as an external input terminal. In addition, although only FPC is illustrated here, the printed-circuit base (PWB) may be attached in this FPC, and you may become the gestalt of TCP (Tape Carrier Package). Moreover, IC may be mounted on a substrate by COG (Chip On Glass).

[0105] Not only the body of EL luminescence equipment but the condition that FPC, TCP, or PWB was attached in it shall be included in EL luminescence equipment in this specification.

[0106] Next, cross-section structure is explained using drawing 9 (B). The pixel section 806 and the gate side drive circuit 807 are formed above the insulator 501, and the pixel section 806 is formed of two or more pixels containing the pixel electrode 563 electrically connected to TFT604 for current control, and its drain. Moreover, the gate side drive circuit 807 is formed using the NMOS circuit (refer to drawing 3) which combined the n channel mold TFT601 and the n channel mold TFT602.

[0107] The pixel electrode 563 functions as cathode of an EL element. Moreover, bank 564 is formed in the both ends of the pixel electrode 563, and the EL layer 565 and the anode plate 566 of an EL element are formed on the pixel electrode 563. An anode plate 566 functions also as wiring common to all pixels, and is electrically connected to FPC905 via the connection wiring 904.

Furthermore, all the components contained in the pixel section 806 and the gate side drive circuit 807 are covered by the anode plate 566 and the passivation film 567.

[0108] Moreover, the covering material 901 is stuck by the 1st sealant 902. In addition, in order to secure spacing of the covering material 901 and an EL element, the spacer which consists of resin film may be formed. And it fills up with the sealing agent 907 inside the 1st sealant 902. In addition, it is desirable to use epoxy system resin as the 1st sealant 902 and a sealing agent 907. Moreover, as for the 1st sealant 902, it is desirable that it is the ingredient which penetrates neither moisture nor oxygen as much as possible. Furthermore, the matter which has the moisture absorption effectiveness in the interior of a sealing agent 907, and the matter with the antioxidizing effectiveness may be made to contain.

[0109] The sealing agent 907 prepared as covered the EL element functions also as adhesives for pasting up the covering material 901. Moreover, FRP (Fiberglass-Reinforced Plastics), PVF (polyvinyl fluoride), a Mylar, polyester, or an acrylic can be used as an ingredient of plastic plate 901a which constitutes the covering material 901 from this example.

[0110] Furthermore by this example, carbon films (specifically diamond-like carbon film) 901b and 901c are formed in both sides of plastic plate 901a as a protective coat at the thickness of 2-30nm. Such a carbon film has the role from which the front face of plastic plate 901a is protected mechanically while preventing invasion of oxygen and water. Moreover, it is also possible to stick a polarizing plate (typically circular polarization of light plate) on outside carbon film 901b.

[0111] moreover, the side face (disclosure side) of the sealing agent 907 after pasting up the covering material 901 using a sealing agent 907 -- a wrap -- the 2nd sealant 903 is formed like. The 2nd sealant 903 can use the same ingredient as the 1st sealant 902.

[0112] By enclosing an EL element with a sealing agent 907 with the above structures, an EL element can be completely intercepted from the outside and it can protect from the exterior that the matter to which degradation by oxidation of EL layers, such as moisture and oxygen, is urged invades. Therefore, reliable EL luminescence equipment is obtained.

[0113] [Example 2] At this example, different structure from EL luminescence equipment shown in the example 1 explains the example which closed the EL element using drawing 10 (A) and (B). In addition, the same sign is used about the same part as drawing 9. Moreover, drawing 10 (B) is the sectional view which cut drawing 10 (A) by A-A'.

[0114] First, in this example, what carried out coating (covering) as an insulator 1001 which forms TFT and an EL element with carbon films (specifically diamond-like carbon film) 1001b and 1001c by using both sides of plastic film 1001a as a protective coat is used. In addition, the age which forms carbon films 1001b and 1001c to both sides of plastic film 1001a should just use a roll-to-roll method.

[0115] Moreover, a sealing agent 907 is used for the substrate produced to the EL element according to the example 1, and the covering material 1002 is stuck on it. What was coated with carbon films

(specifically diamond-like carbon film) 1002b and 1002c also as covering material 1002 by using both sides of plastic film 1002a as a protective coat is used. Furthermore, the end face (edge) of the covering material 1002 is closed by the 2nd sealant 1003.

[0116] [Example 3] This example explains the case where use the n channel mold TFT601 as a DEPURESHON mold in an example 1, and the n channel mold TFT602, switching TFT603, and current control TFT604 are used as an enhancement type.

[0117] First, the condition of drawing 5 (A) is acquired according to an example 1. Next, the 100-150nm oxidization silicon film 1101 is formed by the spatter, and the resist mask 1102 is formed in the field which serves as the n channel mold TFT601 on it. ( Drawing 11 (A))

[0118] Next, the element (this example boron) which belongs to the crystalline substance semi-conductor film 503 at 13 groups of the periodic table using the resist mask 1102 is added. In this way, the field 1104 where the field 1103 where boron was added by the concentration of  $1 \times 10^{15}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup> (typically  $1 \times 10^{16}$  -  $1 \times 10^{17}$  atoms/cm<sup>3</sup>), and boron were not added is formed. ( Drawing 11 (B))

[0119] Next, patterning of the crystalline substance semi-conductor film is carried out, and the island-like semi-conductor film 1105-1108 is formed. At this time, the semi-conductor film 1105 is formed in the field 1104 in which boron was not added, and the semi-conductor film 1106-1108 is formed in the field in which boron was added. Namely, TFT which makes the semi-conductor film 1105 a barrier layer is three or less  $5 \times 10^{14}$  atoms/cm, even if boron is not contained or is contained to the channel formation field, and as for TFT which makes a barrier layer the semi-conductor film 1106-1108, boron is contained to the channel formation field by the concentration of  $1 \times 10^{15}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup> (typically  $1 \times 10^{16}$  -  $1 \times 10^{17}$  atoms/cm<sup>3</sup>). ( Drawing 11 (C))

[0120] A next process should just follow an example 1. In the case of this example, the n channel mold TFT formed using the semi-conductor film 1105 turns into the DEPURESHON mold TFT (namely, n channel mold TFT of normally on), and the n channel mold TFT formed using the semi-conductor film 1106-1108 turns into an enhancement type TFT (namely, n channel mold TFT of no MARIOFU).

[0121] When this example is carried out, the EDMOS circuit shown in drawing 3 (B) can be formed combining the DEPURESHON mold TFT and enhancement type TFT which were formed by the above-mentioned approach.

[0122] In addition, although this example showed the example which uses as an enhancement type TFT including the channel formation field where the threshold electrical potential difference was shifted to the positive direction, and boron was added by adding boron on the semi-conductor film It is also possible by adding the element (typically Lynn or arsenic) belonging to 15 groups of a periodic table on the semi-conductor film to use as a DEPURESHON mold TFT including the channel formation field where the element which is made to shift a threshold electrical potential difference to a negative direction, and belongs to 15 groups of a periodic table was added.

[0123] In addition, this example can be carried out combining an example 1 or an example 2.

[0124] [Example 4] This example explains the case where all of a source side drive circuit and a gate side drive circuit are formed with the E mold NTFT, using drawing 12 - drawing 14 . In this invention, the decoder which used only the n channel mold TFT instead of the shift register is used.

[0125] Drawing 12 is the example of a gate side drive circuit. In drawing 12, 100 is the decoder of a gate side drive circuit, and 101 is the buffer section of a gate side drive circuit. In addition, the buffer section points out the part in which two or more buffers (buffer amplifier) were integrated. Moreover, a buffer points out the circuit which drives without having effect of latter on the preceding paragraph.

[0126] The gate side decoder 100 is explained first. First, 102 is the input signal line (henceforth a selection line) of a decoder 100, and shows A1 and A1 bar (signal which the polarity of A1 reversed), A2, and A2 bar (signal which the polarity of A2 reversed), --An, and An bar (signal which the polarity of An reversed) here. Namely, what is necessary is just to think that 2n selection line is located in a line.

[0127] The number is decided by what \*\*\*\*\* it is by gate wiring with which the number of a selection line is outputted from a gate side drive circuit. For example, since gate wiring becomes 480 when it has the pixel section of a VGA display, a total of 18 selection lines is needed by 9 bits (it is



equivalent to  $n=9$ ). The selection line 102 transmits the signal shown in the timing chart of drawing 1313. If the frequency of A1 is set to 1 as shown in drawing 13  $R>3$ , in the frequency of two to 1 time, and A3, the frequency of two to twice and  $A_n$  will become [ the frequency of A2 ]  $2^{-(n-1)}$  twice.

[0128] Moreover, 103a is [ the NAND circuit of the 2nd step and 103c of the NAND circuit (it is also called a NAND cel) of the 1st step and 103b ] the NAND circuits of the  $n$ -th step. The amount of [ of gate wiring ] number of a NAND circuit is required, and  $n$  pieces are needed here. That is, a decoder 100 consists of two or more NAND circuits in this invention.

[0129] Moreover, the  $n$  channel molds 104-TFT 109 are put together, and NAND circuits 103a-103c form the NAND circuit. In addition,  $2n$ TFT is used for NAND circuit 103 in fact. Moreover, each gate of the  $n$  channel molds 104-TFT 109 is connected to either of the selection lines 102 ( $A_1$  and  $A_1$  bar,  $A_2$ , and  $A_2$  bar --  $A_n$ ,  $A_n$  bar).

[0130] At this time, it sets to NAND-circuit 103a, and is  $A_1$  and  $A_2$ . -- It connects with juxtaposition mutually, and connects with the negative supply line (VDL) 110 as the common source, and the  $n$  channel molds 104-TFT 106 which have the gate connected to either of the  $A_n(s)$  (these are called a forward selection line) are connected to the output line 71 as a common drain. Moreover,  $A_1$  bar,  $A_2$  bar -- The  $n$  channel molds 107-TFT 109 of each other which have the gate connected to either of the  $A_n$  bars (these are called a negative selection line) are connected to the serial, the source of the  $n$  channel mold TFT109 located in a circuit edge is connected to the positive supply line (VDH) 112, and the drain of the  $n$  channel mold TFT107 located in another circuit edge is connected to the output line 111.

[0131] As mentioned above, in this invention, a NAND circuit contains  $n$   $n$  channel molds TFT connected to  $n$   $n$  channel molds TFT and juxtaposition which were connected to the serial. However, in  $n$  NAND circuits 103a-103c, all the combination of the  $n$  channel mold TFT and a selection line differs. Namely, only one is chosen and, as for an output line 111, a signal with which the output line 111 is chosen in an order from the edge is surely inputted into the selection line 102.

[0132] Next, the buffer section 101 is formed by two or more buffers 113a-113c corresponding to each of NAND circuits 103a-103c. However, Buffers 113a-113c are all good with the same structure.

[0133] Moreover, Buffers 113a-113c are formed using the  $n$  channel molds 114-TFT 116. The output line 111 from a decoder is inputted as the gate of the  $n$  channel mold TFT114 (1st  $n$  channel mold TFT). The  $n$  channel mold TFT114 uses the positive supply line (VDH) 117 as the source, and uses gate wiring 118 following the pixel section as a drain. Moreover, the  $n$  channel mold TFT115 (2nd  $n$  channel mold TFT) makes the positive supply line (VDH) 117 the gate, uses the negative supply line (VDL) 119 as the source, and has always become an ON state by using gate wiring 118 as a drain.

[0134] That is, in this invention, Buffers 113a-113c contain the 2nd  $n$  channel mold TFT ( $n$  channel mold TFT115) which is connected to the 1st  $n$  channel mold TFT ( $n$  channel mold TFT114) and the 1st  $n$  channel mold TFT at a serial, and makes the gate the drain of the 1st  $n$  channel mold TFT.

[0135] Moreover, the  $n$  channel mold TFT116 (3rd  $n$  channel mold TFT) makes a reset signal line (Reset) the gate, uses the negative supply line (VDL) 119 as the source, and uses gate wiring 118 as a drain. In addition, the negative supply line (VDL) 119 is not cared about as a touch-down power-source line (GND).

[0136] At this time, the relation of  $W_1 < W_2$  between the channel width (referred to as  $W_1$ ) of the  $n$  channel mold TFT115 and the channel width (referred to as  $W_2$ ) of the  $n$  channel mold TFT114 is. In addition, it is the die length of the channel formation field in the direction where channel width is perpendicular to channel length.

[0137] The actuation of buffer 113a is as follows. When the negative electrical potential difference is first applied to the output line 111, the  $n$  channel mold TFT114 will be in an OFF state (condition that the channel is not formed). On the other hand, since the  $n$  channel mold TFT115 is always an ON state (condition that the channel is formed), the electrical potential difference of the negative supply line 119 is applied to the gate wiring 118.

[0138] However, when a forward electrical potential difference is applied to an output line 111, the  $n$  channel mold TFT114 will be in an ON state. At this time, since the channel width of the  $n$  channel

mold TFT114 is larger than the channel width of the n channel mold TFT115, the potential of the gate wiring 118 is pulled by the output by the side of the n channel mold TFT114, and the electrical potential difference of the positive supply line 117 is applied to the gate wiring 118 as a result.

[0139] Therefore, the gate wiring 118 outputs a forward electrical potential difference (electrical potential difference from which the n channel mold TFT used as a switching element of a pixel is turned on), when a forward electrical potential difference is applied to an output line 111, and when the negative electrical potential difference is applied to the output line 111, it always outputs a negative electrical potential difference (electrical potential difference from which the n channel mold TFT used as a switching element of a pixel is turned off).

[0140] In addition, the n channel mold TFT116 is used as a reset switch which pulls down compulsorily the gate wiring 118 with which the forward electrical potential difference was applied on a negative electrical potential difference. That is, it is if the selection period of the gate wiring 118 expires. A reset signal is inputted and a negative electrical potential difference is applied to the gate wiring 118. However, the n channel mold TFT116 is also omissible.

[0141] Gate wiring will be chosen in order by the gate side drive circuit of the above actuation. Next, the configuration of a source side drive circuit is shown in drawing 14. The source side drive circuit shown in drawing 14 contains a decoder 121, latch 122, and the buffer section 123. In addition, since the configuration of a decoder 121 and the buffer section 123 is the same as that of a gate side drive circuit, explanation here is omitted.

[0142] In the case of the source side drive circuit shown in drawing 14, latch 122 consists of the 1st-step latch 124 and the 2nd-step latch 125. Moreover, the 1st-step latch 124 and the 2nd-step latch 125 have two or more unit units 127a and 127b respectively formed with m n channel molds 126a-TFT 126c. The output line 128 from a decoder 121 is inputted into the gate of m n channel molds 126a-TFT 126c which form unit unit 127a. In addition, m is the integer of arbitration.

[0143] For example, in a VGA display, the number of source wiring is 640. 640 NAND circuits are also needed and, as for the case of  $m=1$ , 20 selection lines (it is equivalent to 10 bits) are needed. However, if  $m=8$ , a required NAND circuit will become 80 pieces and a required selection line will become 14 (it is equivalent to 7 bits). That is, if the number of source wiring is made into M, a required NAND circuit will serve as an individual ( $M/m$ ).

[0144] And the source of the n channel molds 126a-TFT 126c is respectively connected to the video signal line ( $V_1, V_2 \dots V_k$ ) 129. That is, if a forward electrical potential difference is applied to an output line 128, the n channel molds 126a-TFT 126c will be in an ON state all at once, and the video signal corresponding to each is incorporated. Moreover, the video signal incorporated in this way is held at the capacitors 130a-130c connected to each of the n channel molds 126a-TFT 126c.

[0145] Moreover, the 2nd-step latch 125 also has two or more unit unit 127b, and unit unit 127b is formed with m n channel molds 131a-TFT 131c. All of the gate of the n channel molds 131a-TFT 131c are connected to the latch signal line 132, and if a negative electrical potential difference is applied to the latch signal line 132, the n channel molds 131a-TFT 131c will be in an ON state all at once.

[0146] Consequently, it is outputted to a buffer 123 at the same time the signal currently held at Capacitors 130a-130c is held at the capacitors 133a-133c connected to each of the n channel molds 131a-TFT 131c. And as drawing 13 explained, it is outputted to source wiring 134 through a buffer. Source wiring will be chosen in order by the source side drive circuit of the above actuation.

[0147] As mentioned above, it becomes possible by forming a gate side drive circuit and a source side drive circuit only with the n channel mold TFT to form all of the pixel section and a drive circuit with the n channel mold TFT. In addition, this invention can be carried out also when setting any of a source side drive circuit or a gate side drive circuit, or one of the two to external IC (typically TCP or COG).

[0148] [Example 5] This example explains the case where a source side drive circuit and a gate side drive circuit are formed combining the E mold NTFT (E mold NTFT) and the D mold NTFT (D mold NTFT), using drawing 15 and drawing 16.

[0149] Drawing 15 is the example of a gate side drive circuit. For 140, in drawing 1515, a shift register and 141 are [ the NAND-circuit section and 142 ] the buffer sections.

[0150] A shift register 140 illustrates concretely the shift register shown in drawing 4 here. As for

the clock signal line by which the clock signal line reversed 143 and the polarity reversed 144 first, and 145, a positive supply line (VDH) and 146 are touch-down power-source lines (GND). And in this example, three flip-flop circuits 147a-147c are illustrated as a base unit which forms a shift register 140. In addition, in fact, it connects with a serial and two or more flip-flop circuits form the shift register 140.

[0151] Moreover, in this example, flip-flop circuit 147a corresponds to the flip-flop circuit 400 shown in drawing 4, and flip-flop circuit 147b has become circuitry corresponding to a flip-flop circuit 401. Moreover, flip-flop circuits 147a-147c are formed with the E mold NTFT and the D mold NTFT.

[0152] In flip-flop circuit 147a, the gate is connected to the clock signal line 143 for 148 with the E mold NTFT. Moreover, it is formed by arrangement as the EDMOS circuits 148a-148c of the structure of drawing 3 (B) show to drawing 4. In addition, 150 is a positive supply line (VDH) and 151 is a touch-down power-source line (GND).

[0153] Moreover, flip-flop circuit 147b will be the same circuitry as flip-flop circuit 147a, if the gate of the E mold NTFT152 removes the point connected to the clock signal line 144 which the polarity reversed.

[0154] And the output line 153 of flip-flop circuit 147a and the output line 154 of flip-flop circuit 147b are connected to NAND-circuit 155a. In addition, although three NAND circuits 155a-155c are illustrated by the NAND-circuit section 141, it consists of two or more NAND circuits in fact. The NAND circuit is arranged at a rate in two flip-flop circuits one. Moreover, NAND circuits 155a-155c are formed with the E mold NTFT and the D mold NTFT.

[0155] In NAND-circuit 155a, an output line 153 is connected to the gate of the E mold NTFT156, the touch-down power-source line 151 is connected to the source, and the E mold NTFT157 is connected to a drain. Moreover, an output line 154 is connected to the gate of the E mold NTFT157, the drain of the E mold NTFT156 is connected to the source, and an output line 158 is connected to a drain. Moreover, the source of the D mold NTFT159 is connected to the positive supply line 160, and the gate and a drain are connected to an output line 158.

[0156] And the output line 158 of NAND-circuit 155a is connected to EDMOS circuit (you may also call it inverter circuit) 161a. In addition, although three EDMOS circuits 161a-161c are illustrated by the buffer section 142, it consists of two or more EDMOS circuits in fact.

[0157] In EDMOS circuit 161a, the gate of the E mold NTFT162 is connected to an output line 158, the source is connected to the negative supply line (VDL) 163, and a drain is connected to an output line (it is equivalent to gate wiring of the pixel section) 164. Moreover, the gate and the drain of the D mold NTFT165 are connected to an output line 164, and the source is connected to the positive supply line 160.

[0158] Next, the configuration of a source side drive circuit is shown in drawing 16. The source side drive circuit shown in drawing 16 has composition which added the transfer gates 165a-165c to the gate side drive circuit shown in drawing 15, and a shift register 140, the NAND-circuit section 141, and the buffer section 142 can use the same circuit. In addition, this configuration is a configuration in the case of performing an analog drive.

[0159] Moreover, although the E mold NTFT is formed in two juxtaposition as the transfer gates 165a-165c in this example, while this is redundant design, it is a device for earning the serviceability of a current. Moreover, 166 is a video signal line.

[0160] By the way, what is necessary is just to form the latch 122 who explained by drawing 14, and the buffer section 123 in the bottom of the NAND-circuit section 141, when performing a digital drive in this example. Moreover, what is necessary is to omit latch 122 to make the source side drive circuit shown in drawing 14 in the example 4 correspond to an analog drive, and just to establish conversely, the transfer gate shown in drawing 16 in the latter part of the buffer section 123.

[0161] As mentioned above, it becomes possible by forming a gate side drive circuit and a source side drive circuit only with the n channel mold TFT to form all of the pixel section and a drive circuit with the n channel mold TFT. In addition, this invention can be carried out also when considering any of a source side drive circuit or a gate side drive circuit, or one of the two as external IC chip.

[0162] [Example 6] This example shows an example of the pixel structure in EL luminescence equipment of this invention to drawing 17. For 1701, as for source wiring and 1703, in drawing 17



R> 7 (A), gate wiring and 1702 are [ a positive supply line and 1704 ] negative supply lines (good also as a touch-down power-source line). Moreover, as for 1705-1708, the E mold NTFT, and 1709 and 1710 are the D molds NTFT. Moreover, 1711 is an EL element and is connected to the E mold NTFT1708.

[0163] The pixel structure of this example prepares six TFT(s) into 1 pixel, and forms SRAM (static random access memory). Specifically, SRAM is formed with two or more E molds NTFT and two or more D molds NTFT. Thus, in carrying out this invention, there is no limitation in the number of TFT contained in 1 pixel.

[0164] In addition, in the case of the pixel structure of this example, the E mold NTFT1705 functions as switching TFT, and the E mold NTFT1708 functions as current control TFT. Moreover, the memory function is given combining the inverter circuit which consists of the inverter circuit, the E mold NTFT1707, and the D mold NTFT1710 which consist of an E mold NTFT1706 and a D mold NTFT1709.

[0165] Furthermore, drawing 17 (B) is an example which communalized the negative supply line 1704 and has arranged two adjoining pixels which were shown in drawing 17 (A) to the symmetry. The number of wiring which this prepares in the pixel section can be reduced, and densification which is a pixel can be attained.

[0166] In addition, it combines with any configuration of an example 1 - an example 5, and the configuration of this example can be carried out.

[0167] [Example 7] The source side drive circuit shown in the example 4 or the example 5 and a gate side drive circuit can also be used for a liquid crystal display. That is, each source side drive circuit shown in the gate side drive circuit or drawing 14 shown in the EEMOS circuit shown in drawing 3 (A), the EDMOS circuit shown in drawing 3 (B), the shift register shown in drawing 4 , and drawing 13 can be used as a drive circuit of a liquid crystal display.

[0168] In addition, a liquid crystal display points out the liquid crystal module with which FPC (flexible print circuit) was attached in the liquid crystal panel. In addition, also when PWB (printed-circuit base) is prepared in the point of FPC, it shall contain in a liquid crystal module. Moreover, you may be the gestalt of TCP (Tape Carrier Package) which attached IC in FPC. Moreover, IC may be mounted on a substrate by COG (Chip On Glass).

[0169] [Example 8] In carrying out this invention, as TFT, not only the top gate mold TFT (typically planar mold TFT) but the bottom gate mold TFT (typically reverse stagger mold TFT) may be used. Moreover, it is also possible to use MOSFET formed in the semi-conductor substrate (typically silicon substrate).

[0170] In addition, it combines also with the configuration included in any of an example 1 - an example 7, and the configuration of this example can be carried out.

[0171] [Example 9] The luminescence equipment or the liquid crystal display formed by carrying out this invention can be used as a display of various electric appliances. As an electric appliance of this invention, the picture reproducer equipped with a video camera, a digital camera, a goggles mold display (head mount display), a car-navigation system, a car audio, the note type personal computer, the game device, the portable information device (a mobile computer, a cellular phone, a handheld game machine, or digital book), and the record medium etc. is mentioned. The example of these electric appliances is shown in drawing 20 and drawing 21 .

[0172] Drawing 20 (A) is an EL display and contains a case 2001, susceptor 2002, and a display 2003. The luminescence equipment or the liquid crystal display of this invention can be used for a display 2003. When using EL luminescence equipment for a display 2003, since it is a spontaneous light type, it can consider as a display unnecessary [ a back light ] and thin.

[0173] Drawing 20 (B) is a video camera and contains a body 2101, a display 2102, the voice input section 2103, the actuation switch 2104, a dc-battery 2105, and the television section 2106. The luminescence equipment or the liquid crystal display of this invention can be used for a display 2102.

[0174] Drawing 20 (C) is a digital camera and includes a body 2201, a display 2202, an eye contacting part 2203, and the actuation switch 2204. The luminescence equipment or the liquid crystal display of this invention can be used for a display 2202.

[0175] drawing 20 -- (-- D --) -- a record medium -- having had -- picture reproducer (specifically



DVD regenerative apparatus) -- it is -- a body -- 2301 -- record media (CD, LD, or DVD) -- 2302 -- actuation -- a switch -- 2303 -- a display -- (-- a --) -- 2304 -- a display -- (-- b --) -- 2305 -- containing . Although a display (a) mainly displays image information and a display (b) mainly displays text, the luminescence equipment or the liquid crystal display of this invention can be used for these displays (a) and (b). In addition, CD regenerative apparatus, a game device, etc. are contained in the picture reproducer equipped with the record medium, and it sells to it.

[0176] Drawing 20 (E) is a pocket mold (mobile) computer, and contains a body 2401, a display 2402, the television section 2403, the actuation switch 2404, and a memory slot 2405. The luminescence equipment or the liquid crystal display of this invention can be used for a display 2402. This pocket mold computer can record information on the record medium which integrated a flash memory and nonvolatile memory, or can reproduce it.

[0177] Drawing 20 (F) is a personal computer and contains a body 2501, a case 2502, a display 2503, and a keyboard 2504. The luminescence equipment or the liquid crystal display of this invention can be used for a display 2503.

[0178] Moreover, the above-mentioned electric appliance displays more often the information distributed through electronic communication lines, such as the Internet and CATV (cable television), and its opportunity to display especially animation information has been increasing. When EL luminescence equipment is used for a display, since the speed of response of EL luminescence equipment is very high, a movie display without delay becomes possible.

[0179] Moreover, in order that the part which is emitting light may consume power, as for EL luminescence equipment, it is desirable to display information that the amount of light-emitting part decreases as much as possible. Therefore, when using EL luminescence equipment for the display which is mainly concerned with text like a Personal Digital Assistant especially a cellular phone, or a car audio, it is desirable to drive so that text may be formed by part for a light-emitting part by making a nonluminescent part into a background.

[0180] Drawing 21 (A) is a cellular phone, is the part (control unit) 2601 which performs a key stroke, and the part (information-display section) 2602 which performs an information display, and has connected a control unit 2601 and the information-display section 2602 in the connection section 2603 here. Moreover, the voice input section 2604 and the actuation key 2605 are formed in a control unit 2601, and the voice output section 2606 and a display 2607 are formed in the information-display section 2602.

[0181] The luminescence equipment or the liquid crystal display of this invention can be used for a display 2607. In addition, when using EL luminescence equipment for a display 2607, the power consumption of a cellular phone can be stopped by displaying a white alphabetic character on a black background.

[0182] In the case of the cellular phone shown in drawing 21 (A), a sensor (NMOS sensor) can be made to be able to build in EL luminescence equipment used for the display 2604 in an NMOS circuit, and it can also use by reading a fingerprint or the lines on the palms as a terminal for authentication systems which attests a user. Moreover, light can also be made to emit so that external brightness (illuminance) may be read and an information display may become possible by the set-up contrast.

[0183] Furthermore, if brightness is lowered and use of an actuation switch finishes while using the actuation switch 2605, it can low-power-ize by raising brightness. Moreover, when a message is received, the brightness of a display 2604 can be raised, and it can low-power-ize also by lowering brightness during a message. Moreover, when using it continuously, unless it resets, low-power-ization can also be attained by giving the function in which a display will be OFF by time control. In addition, these may be manual control.

[0184] Moreover, drawing 21 (B) is an audio and includes a case 2701, a display 2702, and the actuation switches 2703 and 2704. The luminescence equipment or the liquid crystal display of this invention can be used for a display 2702. Moreover, although this example shows the audio for mount (car audio), you may use for a non-portable audio (audio component). In addition, when using EL luminescence equipment for a display 2704, power consumption can be stopped by displaying a white alphabetic character on a black background.

[0185] Furthermore, the electric appliance shown above can make a photosensor able to build in the

luminescence equipment or the liquid crystal display used for the display, and can also establish a means to detect the brightness of an operating environment. When using EL luminescence equipment for a display, a function which modulates luminescence brightness according to the brightness of an operating environment can also be given.

[0186] The image sensors (the shape of a field, sensor of linear or punctiform) formed in EL luminescence equipment specifically used for the display in the NMOS circuit can be formed, or it can carry out by preparing CCD (Charge Coupled Device) in a body or a case. A user can recognize an image or text satisfactory, if the brightness of 100-150 is securable by the contrast ratio compared with the brightness of an operating environment. That is, it is possible to raise the brightness of an image, to make it legible, when an operating environment is bright, to stop the brightness of an image, when an operating environment is dark, and to stop power consumption.

[0187] As mentioned above, the applicability of this invention is very wide, and using for the electric appliance of all fields is possible. Moreover, the electric appliance of this example may use luminescence equipment or a liquid crystal display including which configuration of examples 1-5.

[0188]

[Effect of the Invention] By carrying out this invention, it is a high yield, and the high luminescence equipment of optical ejection effectiveness can be manufactured at low cost, and image quality can offer bright cheap luminescence equipment. Moreover, image quality becomes possible [ offering the cheap electric appliance which has a display with bright image quality ] by using bright cheap luminescence equipment for a display.

---

[Translation done.]

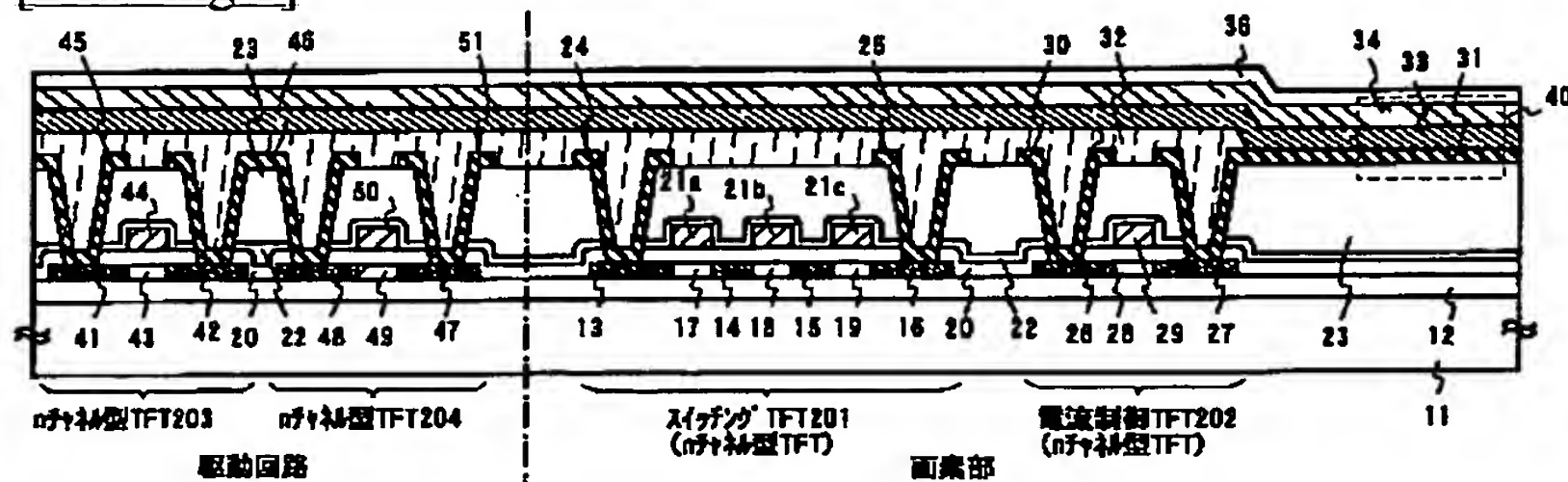
\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

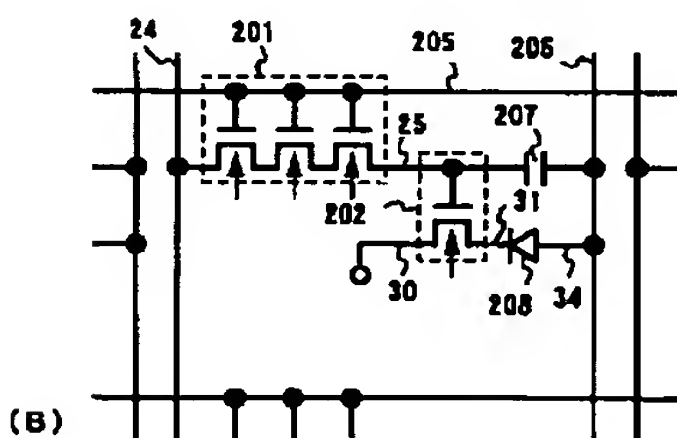
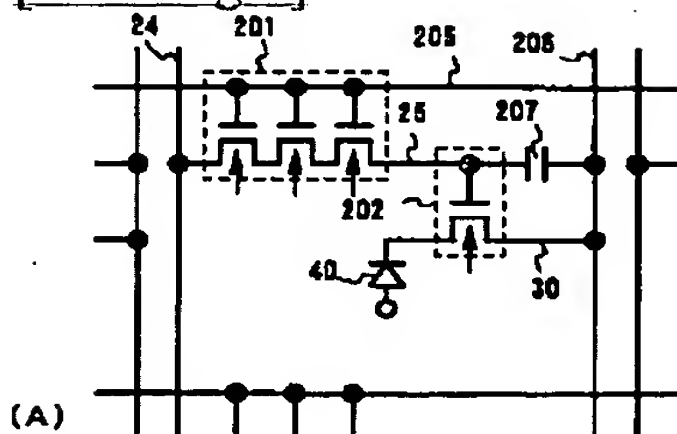
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

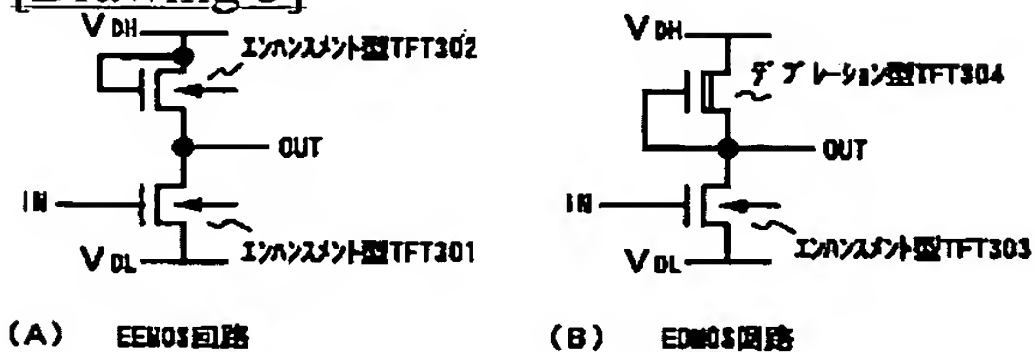
[Drawing 1]



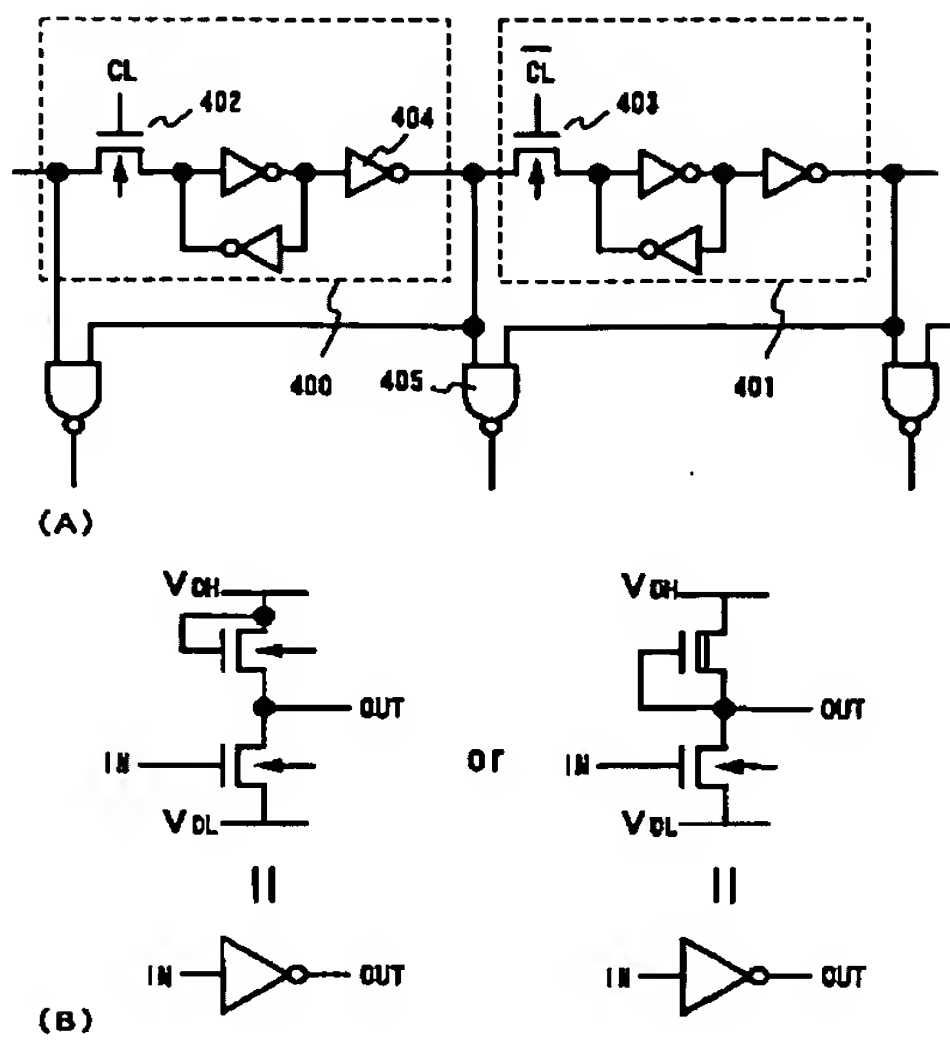
[Drawing 2]



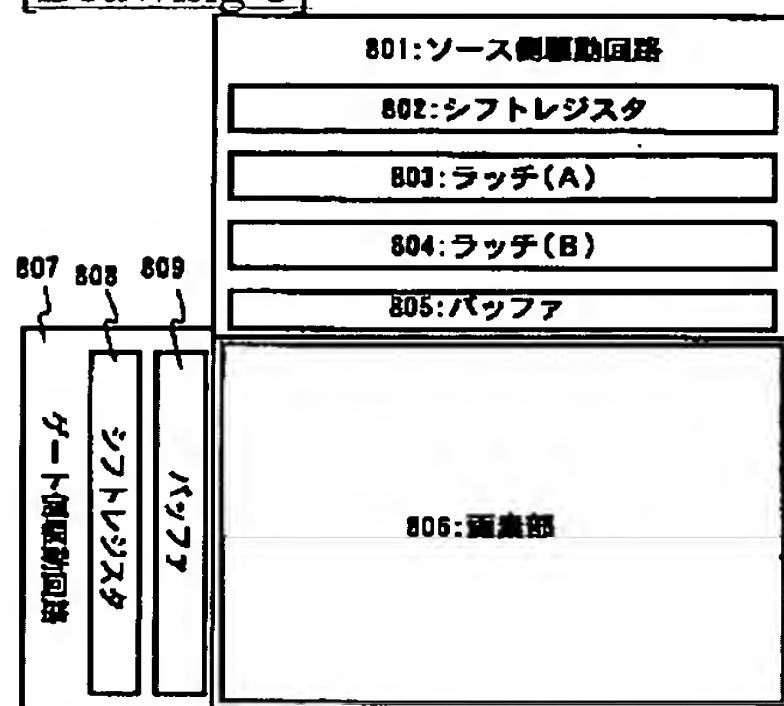
[Drawing 3]



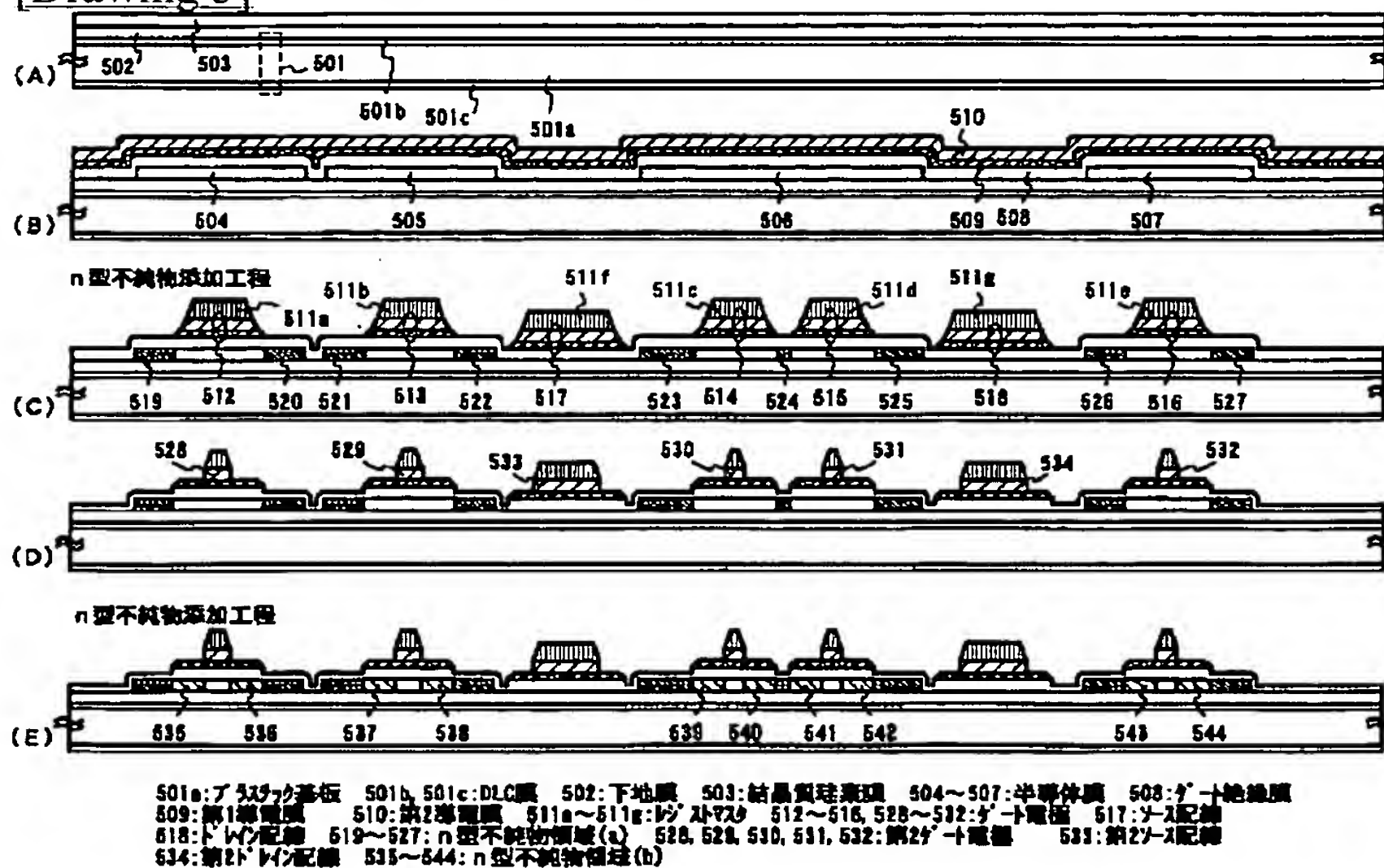
[Drawing 4].



[Drawing 8]

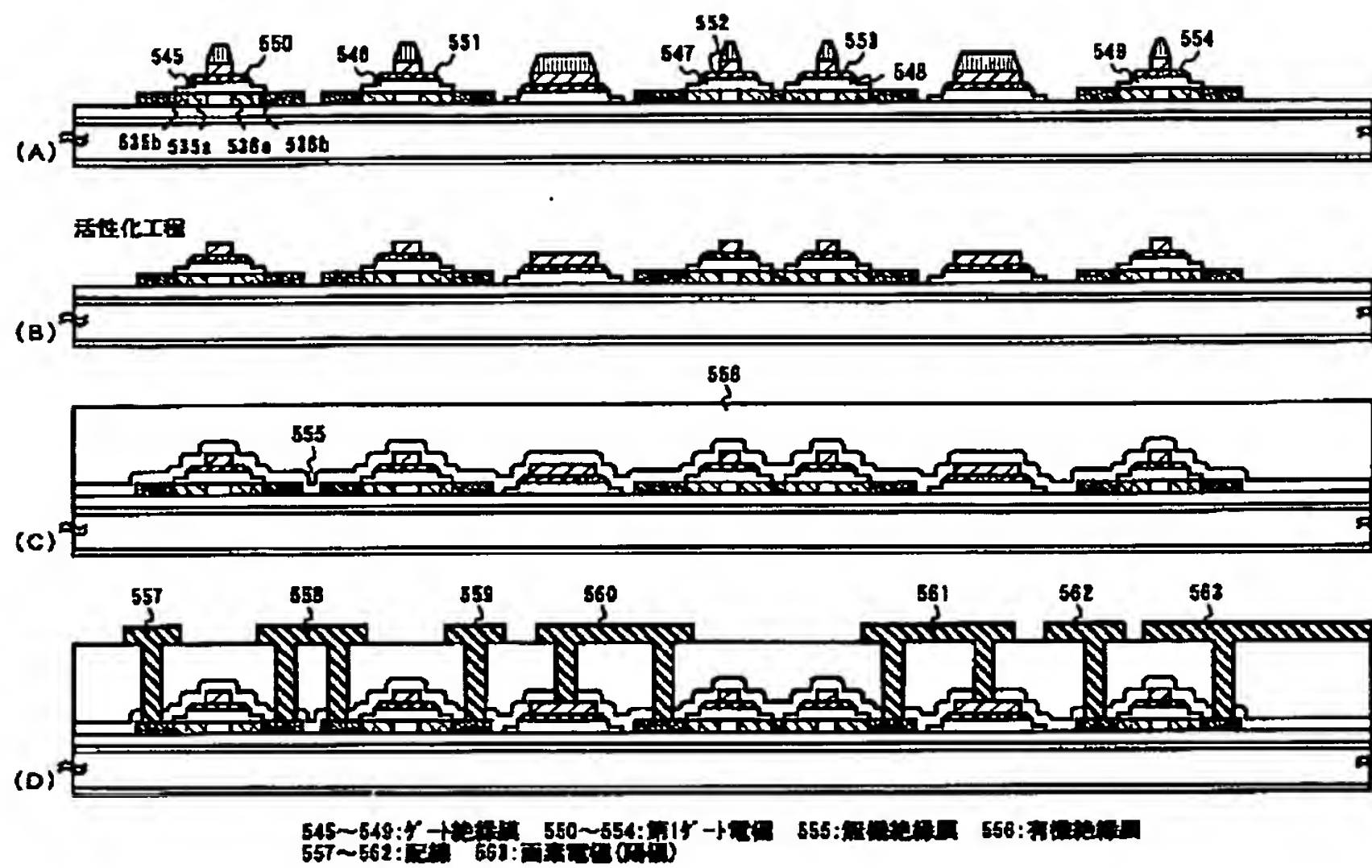


[Drawing 5]

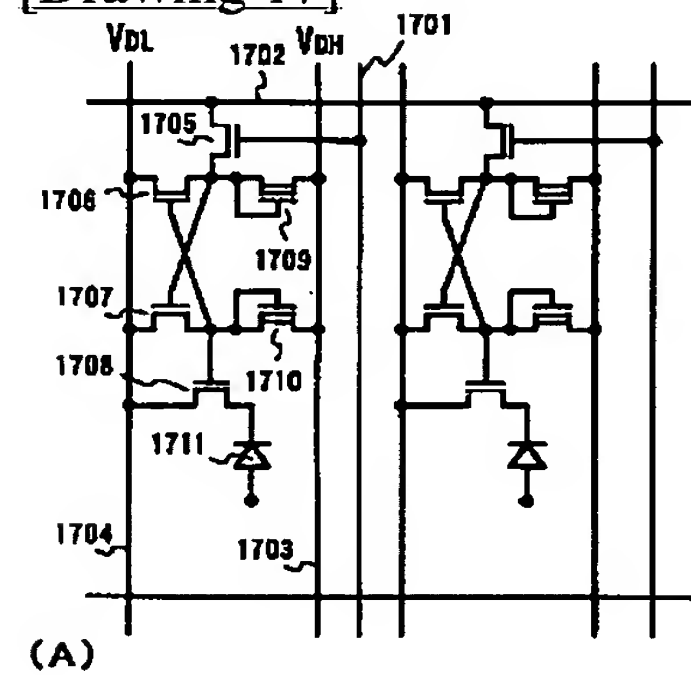


[Drawing 6]

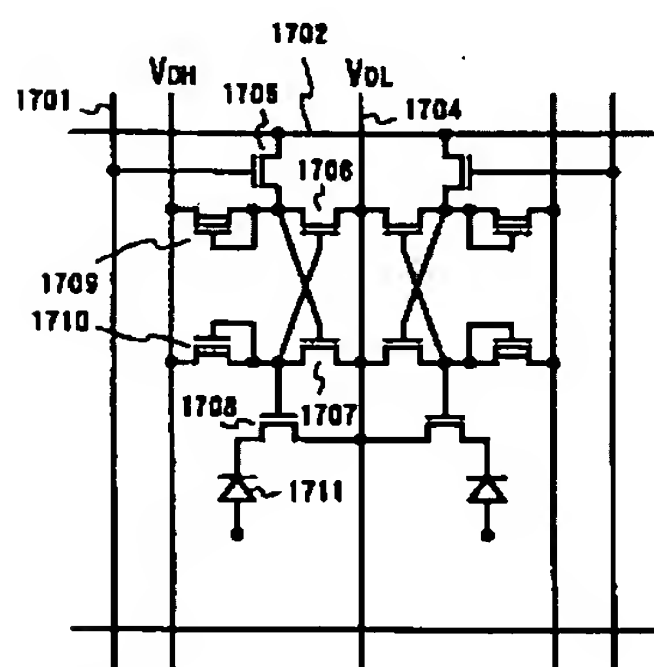




[Drawing 17]



(A)



(B)

[Drawing 19]



[Drawing 7]



[Drawing 9]



[Drawing 11]



[Drawing 10]

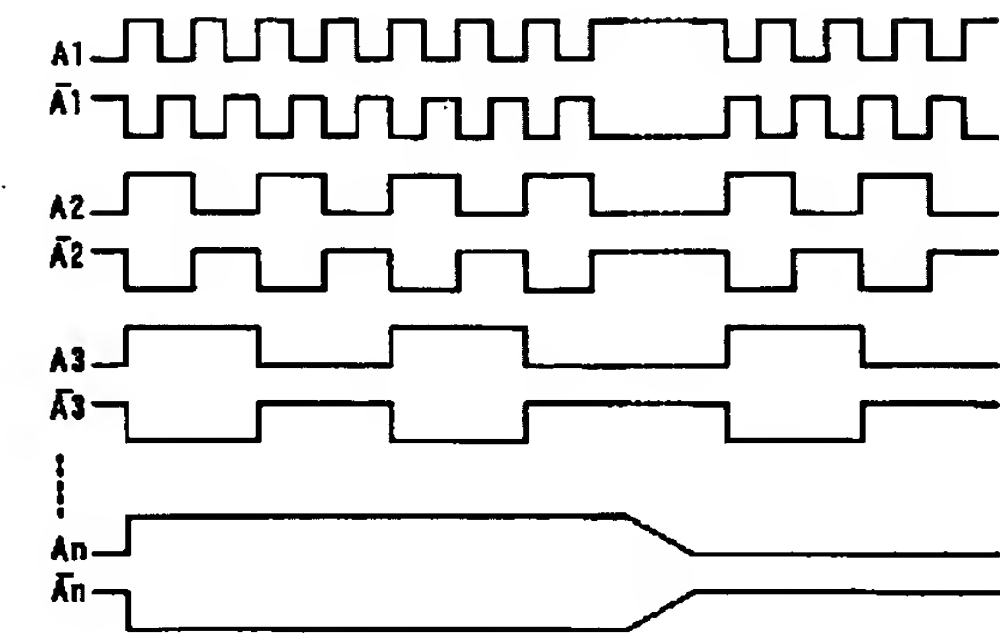


[Drawing 12]

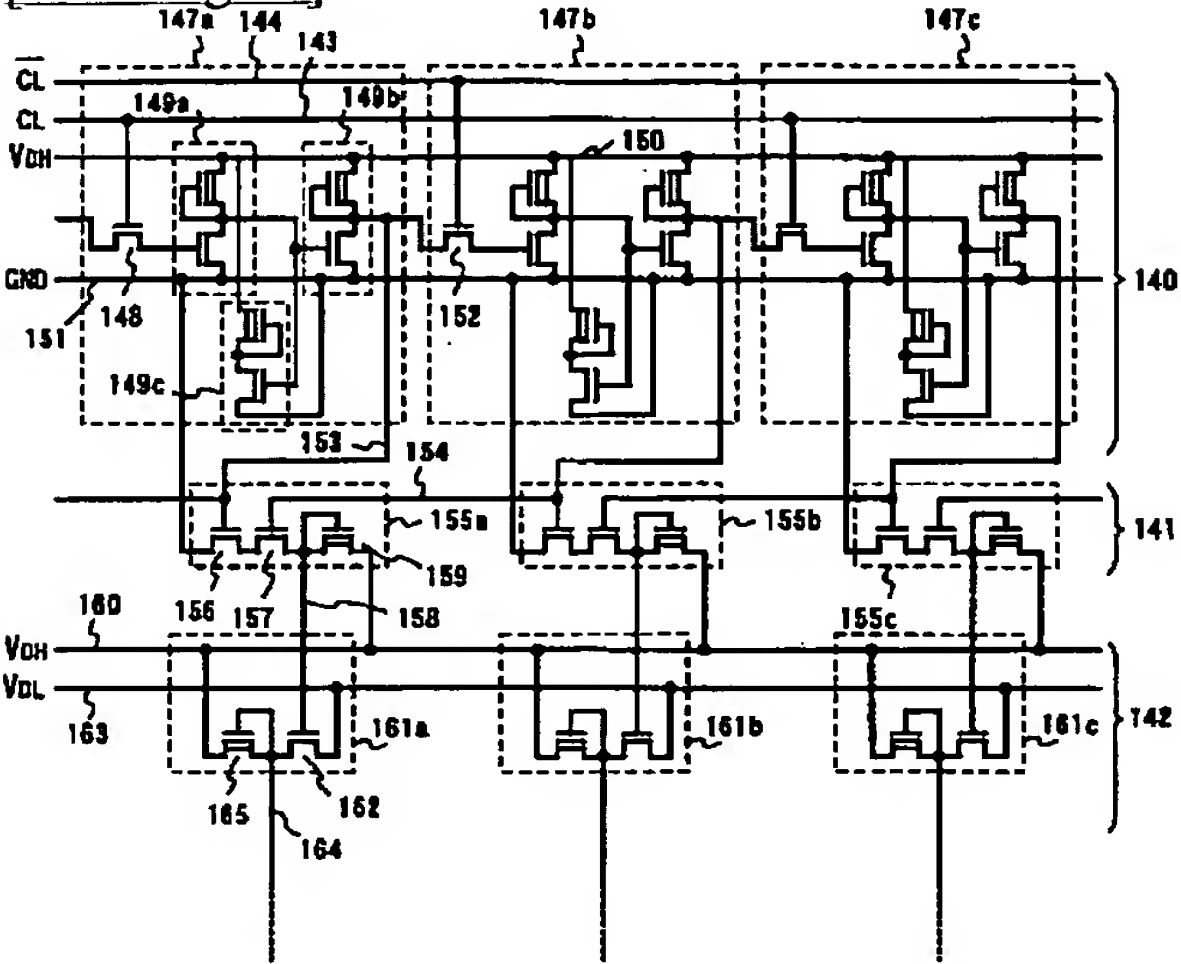


[Drawing 13]

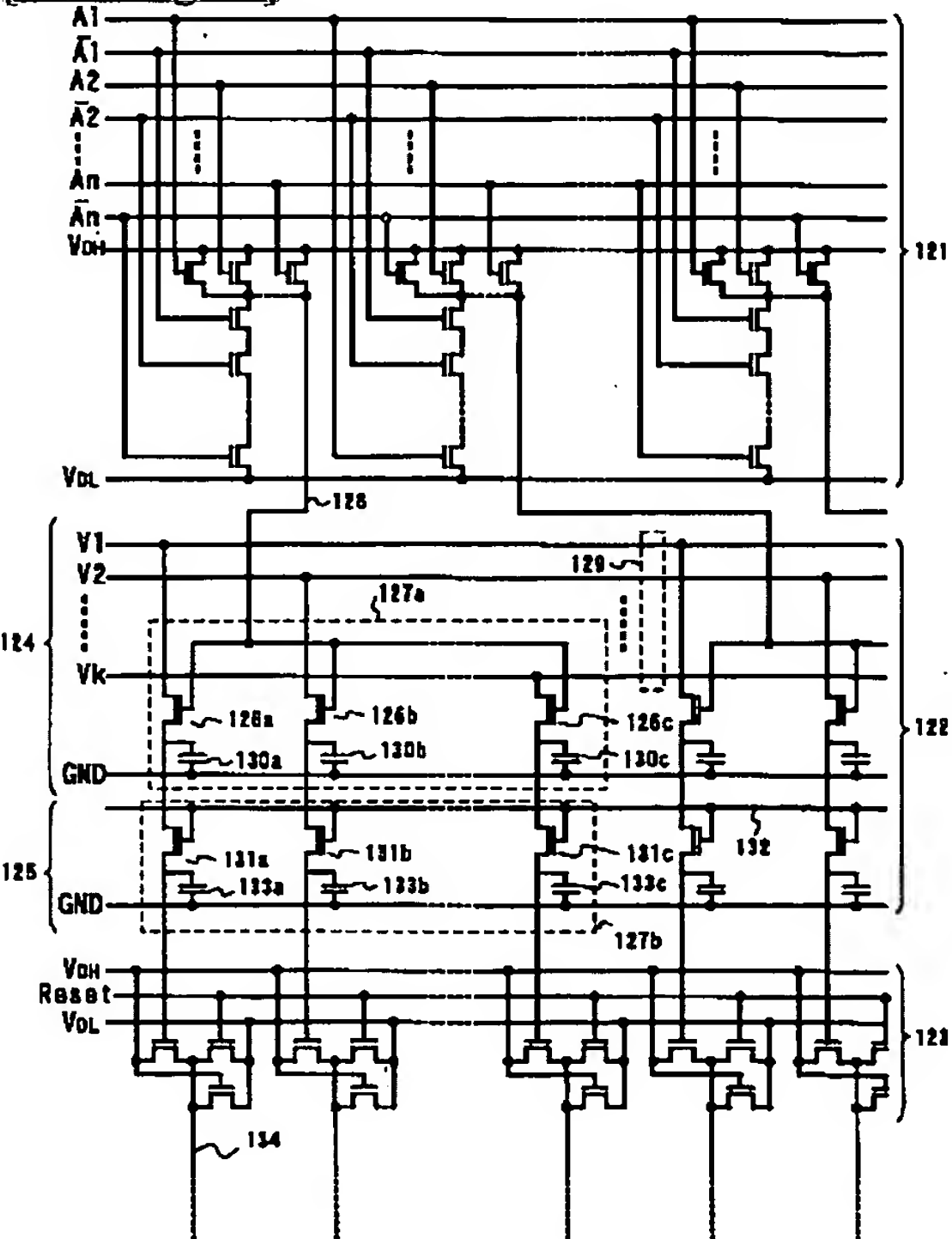




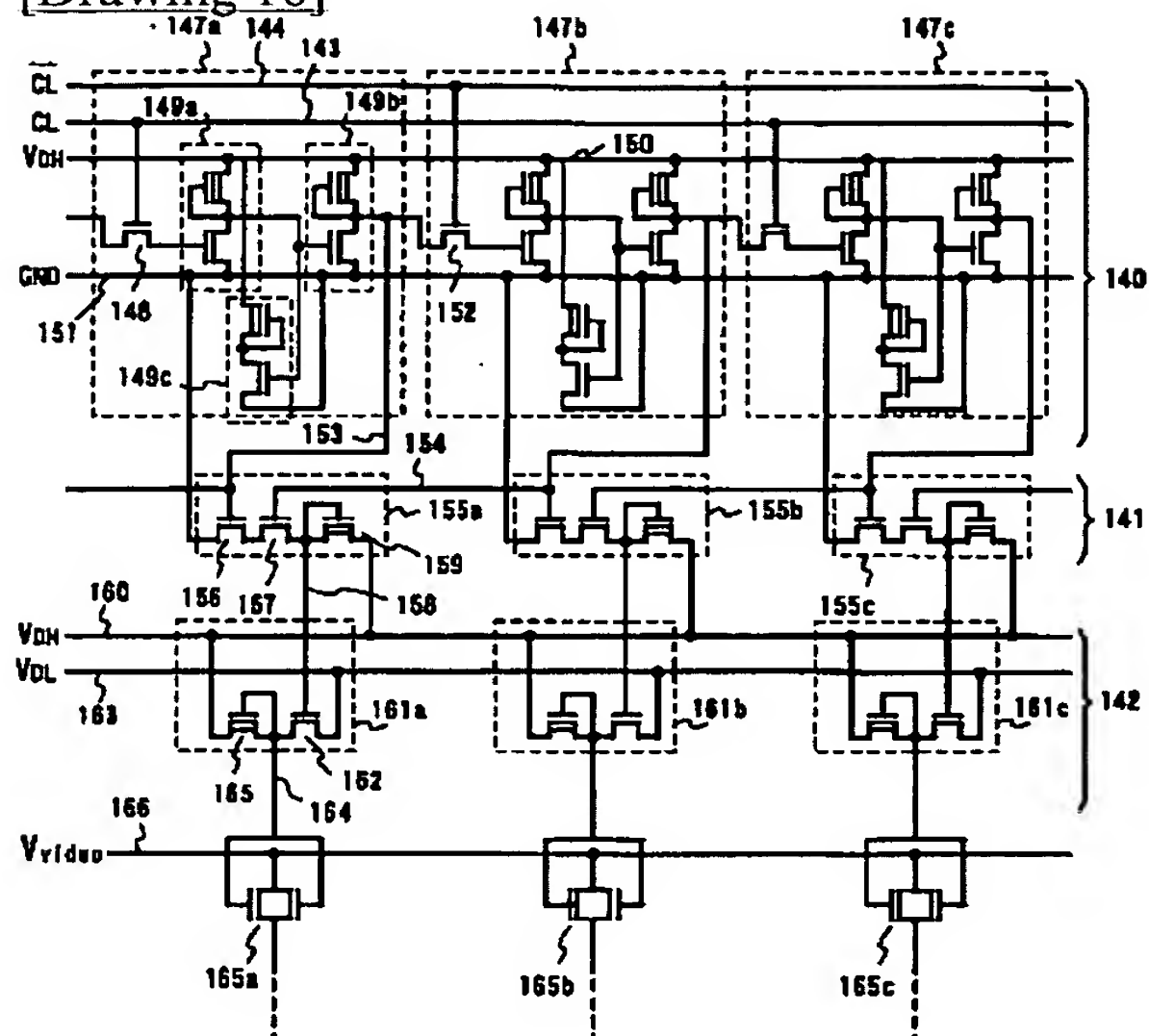
[Drawing 15]



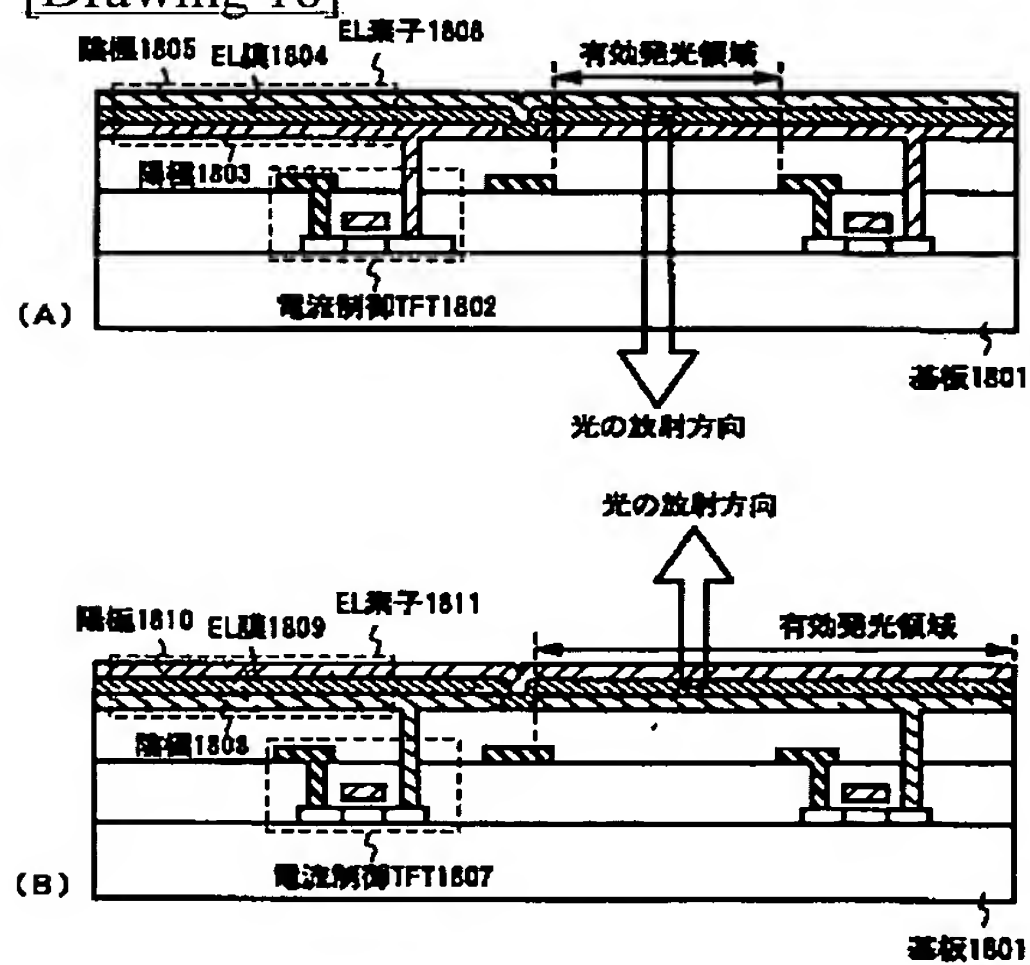
[Drawing 14]



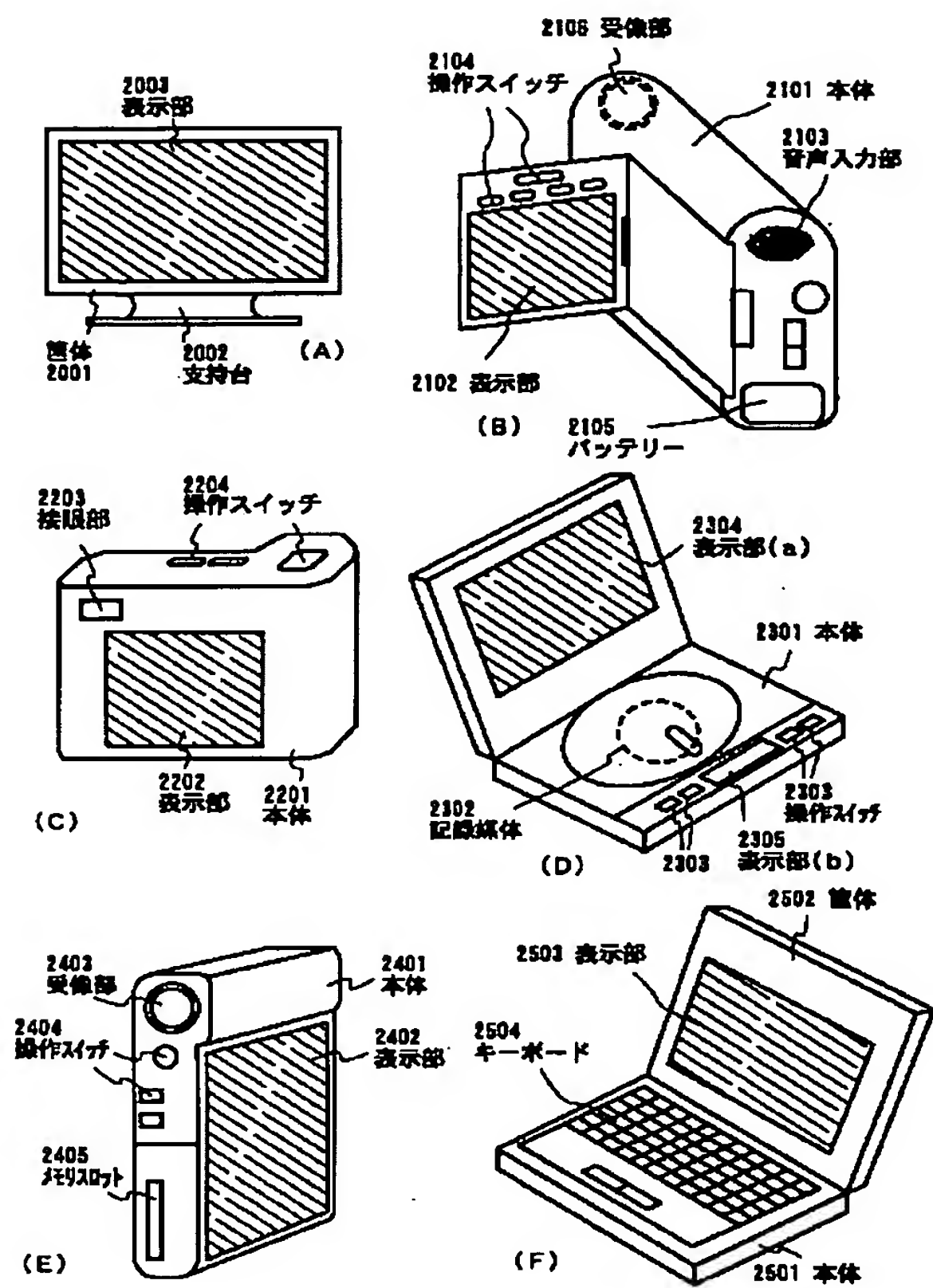
[Drawing 16]



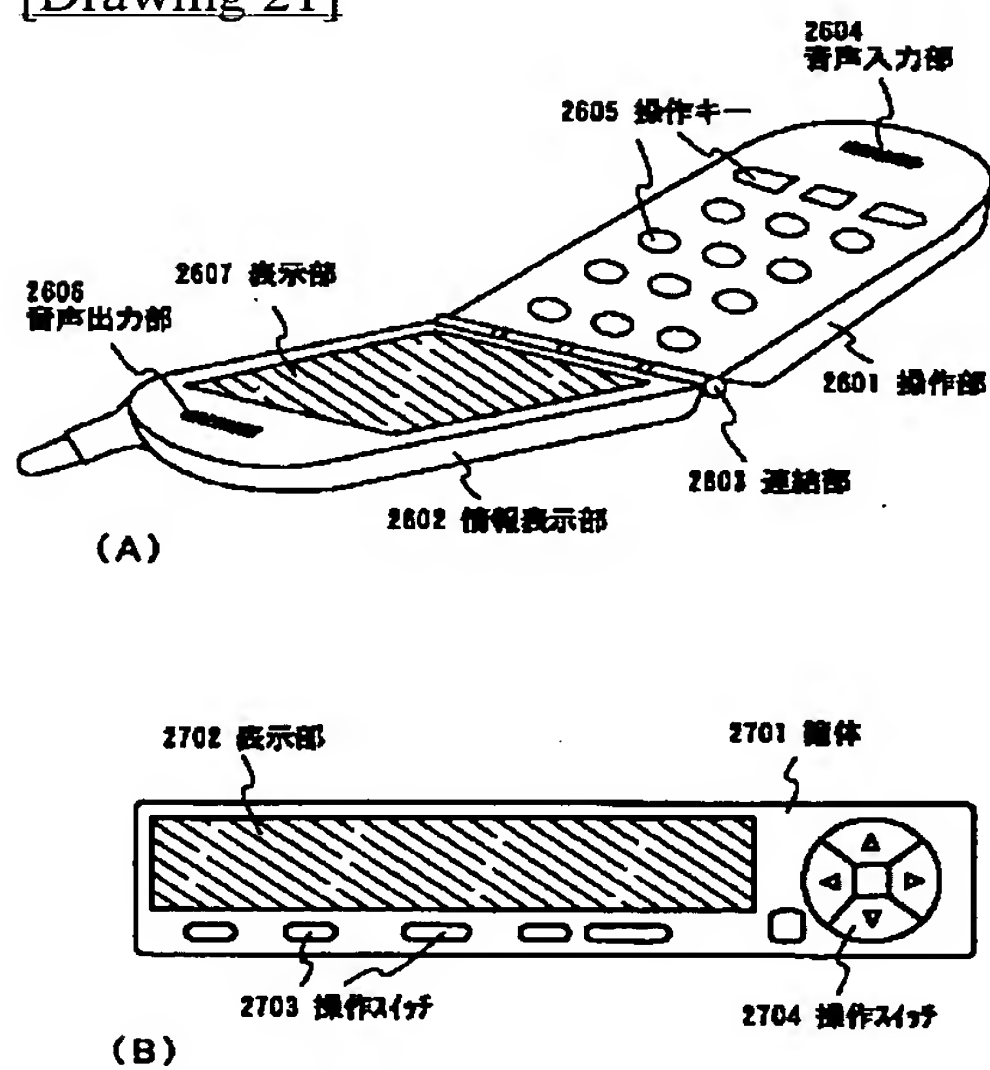
[Drawing 18]



[Drawing 20]



[Drawing 21]



[Translation done.]



(43)公開日 平成14年2月15日(2002.2.15)

(51)IntCl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
G 0 9 F 9/30	3 6 5	G 0 9 F 9/30	3 6 5 Z 3 K 0 0 7
	3 3 8		3 3 8 5 C 0 9 4
H 0 5 B 33/02		H 0 5 B 33/02	
33/04		33/04	
33/08		33/08	

審査請求 未請求 請求項の数18 OL (全 21 頁) 最終頁に続く

(21)出願番号	特願2001-142693(P2001-142693)
(22)出願日	平成13年5月14日(2001.5.14)
(31)優先権主張番号	特願2000-140043(P2000-140043)
(32)優先日	平成12年5月12日(2000.5.12)
(33)優先権主張国	日本(JP)

(71)出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 小山 潤  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 高山 徹  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

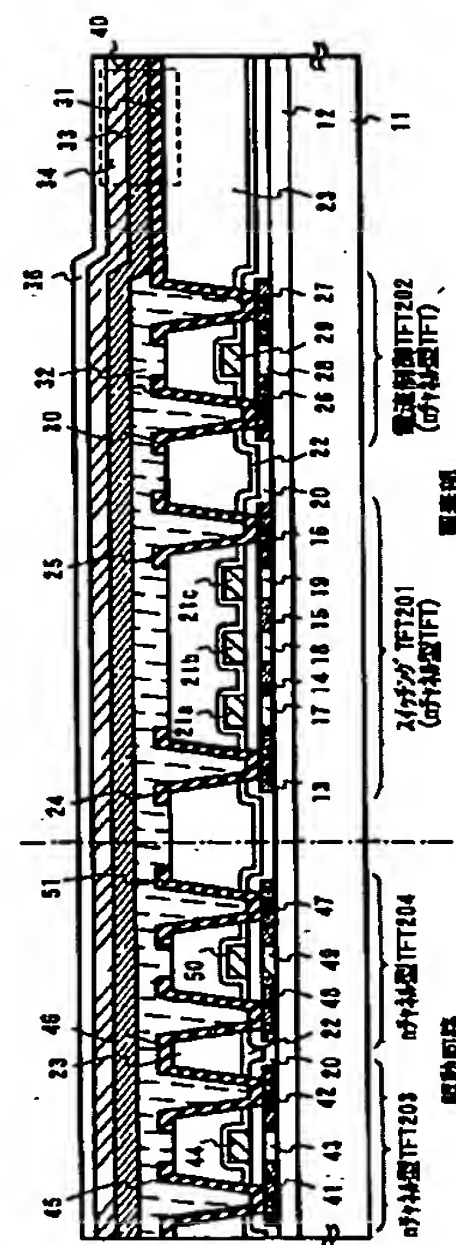
**最終頁に続く**

(54)【発明の名称】 発光装置および電気器具

(57) 【要約】 (修正有)

【課題】 画質が明るく安価な発光装置およびそれを用いた電気器具を提供する。

【解決手段】 同一の絶縁体上に画素部および駆動回路を含む発光装置において、画素部および駆動回路は全てnチャネル型の半導体素子で形成され、製造工程が簡略化されている。また、画素部に設けられた発光素子は、絶縁体から遠ざかる方向に放射されるため、ほぼ画素電極（EL素子の陰極に相当する）全体が有効発光領域となる、従って、画素電極の面積を有効に活用した表示領域とすることができ、画質が明るく安価な発光装置が得られる。



## 【特許請求の範囲】

【請求項 1】画素部および駆動回路を同一の絶縁体上に含む発光装置において、  
前記画素部および前記駆動回路を形成する全ての半導体素子は n チャネル型の半導体素子であることを特徴とする発光装置。

【請求項 2】画素部および駆動回路を同一の絶縁体上に含む発光装置において、  
前記画素部にはスイッチング素子および電流制御素子が設けられ、前記駆動回路にはインバータ回路が設けられ、

前記スイッチング素子、前記電流制御素子および前記インバータ回路は全て n チャネル型の半導体素子からなることを特徴とする発光装置。

【請求項 3】請求項 1 または請求項 2 において、前記絶縁体は両面もしくは片面に保護膜を設けたプラスチック基板であることを特徴とする発光装置。

【請求項 4】請求項 1 乃至請求項 3 のいずれかにおいて、前記半導体素子は薄膜トランジスタであることを特徴とする発光装置。

【請求項 5】請求項 1 乃至請求項 4 のいずれかにおいて、前記駆動回路は E MOS 回路もしくは E MOS 回路を含むことを特徴とする発光装置。

【請求項 6】請求項 1 乃至請求項 5 のいずれかにおいて、前記画素部は複数の画素を含み、該複数の画素に EL 素子が設けられていることを特徴とする発光装置。

【請求項 7】画素部および駆動回路を同一の絶縁体上に含む発光装置において、  
前記駆動回路は全て n チャネル型の半導体素子で形成された複数の NAND 回路からなるデコーダを含むことを特徴とする発光装置。

【請求項 8】請求項 7 において、前記 NAND 回路は直列に接続された n 個の n チャネル型の半導体素子および並列に接続された n 個の n チャネル型の半導体素子を含むことを特徴とする発光装置。

【請求項 9】画素部および駆動回路を同一の絶縁体上に含む発光装置において、  
前記駆動回路は全て n チャネル型の半導体素子で形成されたバッファを含み、

前記バッファは第 1 の n チャネル型の半導体素子および該第 1 の n チャネル型の半導体素子に直列に接続され、且つ、該第 1 の n チャネル型の半導体素子のドレインをゲートとする第 2 の n チャネル型の半導体素子を含むことを特徴とする発光装置。

【請求項 10】画素部および駆動回路を同一の絶縁体上に含む発光装置において、  
前記駆動回路は全て n チャネル型 TFT で形成された複数の NAND 回路からなるデコーダおよび全て n チャネル型 TFT で形成されたバッファを含み、  
前記バッファは第 1 の n チャネル型 TFT および該第 1

の n チャネル型 TFT に直列に接続され、且つ、該第 1 の n チャネル型 TFT のドレインをゲートとする第 2 の n チャネル型 TFT を含むことを特徴とする発光装置。

【請求項 11】画素部および駆動回路を同一の絶縁体上に含む発光装置において、  
前記駆動回路は E 型 NTFT および D 型 NTFT で形成された複数のフリップフロップ回路からなるシフトレジスタを含むことを特徴とする発光装置。

【請求項 12】画素部および駆動回路を同一の絶縁体上に含む発光装置において、  
前記駆動回路は E 型 NTFT および D 型 NTFT で形成された複数のフリップフロップ回路からなるシフトレジスタ並びに E 型 NTFT および D 型 NTFT で形成された複数の NAND 回路を含むことを特徴とする発光装置。

【請求項 13】画素部および駆動回路を同一の絶縁体上に含む発光装置において、  
前記画素部は複数の画素を含み、  
前記画素には複数の E 型 NTFT および複数の D 型 NTFT が設けられていることを特徴とする発光装置。

【請求項 14】画素部および駆動回路を同一の絶縁体上に含む発光装置において、  
前記画素部は複数の画素を含み、  
前記画素には複数の E 型 NTFT および複数の D 型 NTFT で形成された SRAM が設けられていることを特徴とする発光装置。

【請求項 15】請求項 13 または請求項 14 において、前記画素に EL 素子が設けられていることを特徴とする発光装置。

【請求項 16】請求項 1 乃至請求項 14 のいずれかにおいて、記載の発光装置を用いたことを特徴とする電気器具。

【請求項 17】請求項 1 乃至請求項 14 のいずれかにおいて、記載の発光装置を用いたことを特徴とするデジタルカメラ。

【請求項 18】請求項 1 乃至請求項 14 のいずれかにおいて、記載の発光装置を用いたことを特徴とする携帯電話。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、同一の絶縁体上に画素部および画素部に信号を伝送するための駆動回路を含む発光装置に関する。具体的には、一対の電極間に発光性材料からなる薄膜を挟んだ素子（以下、発光素子という）を有する装置（以下、発光装置という）に有効な技術である。なお、有機 EL ディスプレイや有機発光ダイオード（OLED: Organic Light Emitting Diode）は本発明の発光装置に含まれる。

【0002】特に本発明は、陽極および陰極の間に EL (Electro Luminescence) が得られる発光性材料からなる薄膜（以下、EL 膜という）を挟んだ素子（以下、EL 素子という）を有する装置（以下、EL 発光装置とい

う)に有効な技術である。

【0003】なお、本発明に用いることのできる発光性材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光(燐光および/または蛍光)するすべての発光性材料を含む。

【0004】また、本発明は電極間に液晶材料を挟んだ素子(以下、液晶素子という)を有する装置(以下、液晶表示装置という)に実施することも可能である。

【0005】

【従来の技術】近年、アクティブマトリクス型EL発光装置の開発が進んでいる。アクティブマトリクス型EL発光装置は、画素部に設けられた各画素の各々に薄膜トランジスタ(以下、TFTという)を設け、TFTによりEL素子に流れる電流量を制御して各画素の発光輝度を制御する。そのため、画素数が増えても各画素に均一に電圧を供給できるので高精細な画像を得る場合に適している。

【0006】また、アクティブマトリクス型EL発光装置の利点は、画素部に信号を伝送する駆動回路として、シフトレジスタ、ラッチもしくはバッファといった回路を同一の絶縁体上にTFTで形成することが可能な点である。これにより非常に小さく軽量のEL発光装置を作製することが可能となった。

【0007】しかしながら、アクティブマトリクス型EL発光装置はTFTの製造工程が複雑であると、製造コストが高くなるという問題を抱えていた。また、複数のTFTを同時に形成するため、製造工程が複雑になると歩留まりを確保することが難しい。特に駆動回路に動作不良があると画素一列が動作しないといった線状欠陥を引き起こすこともある。

【0008】ここでアクティブマトリクス型EL発光装置の基本的な構造を図18(A)、(B)に示す。図18(A)において、基板1801上にはEL素子に流れる電流を制御するためのTFT(以下、電流制御TFTという)1802が形成され、電流制御TFT1802には陽極1803が接続されている。また、陽極1803の上には有機EL膜(ELが得られる発光性有機材料からなる薄膜)1804、陰極1805が形成され、陽極1803、有機EL膜1804および陰極1805からなるEL素子1806が形成されている。

【0009】このとき、有機EL膜1804で生成された発光は陽極1803を透過して図中の矢印の方向に向かって放射される。従って、電流制御TFT1802は観測者から見て発光を遮る遮蔽物となってしまう、有効発光領域(観測者が発光を観測しうる領域)を狭める要因となっていた。また、有効発光領域が狭い場合、明るい画像を得るには発光輝度を上げる必要があったが、発光輝度を上げることは有機EL膜の駆動電圧を上げることになり劣化を早めることが懸念されていた。

【0010】そこで、図18(B)に示すような構造の

アクティブマトリクス型EL発光装置が提案されている。図18(B)において、基板1801上には電流制御TFT1807が形成され、電流制御TFT1807には陰極1808が接続されている。また、陰極1808の上には有機EL膜1809、陽極1810が形成され、陰極1808、有機EL膜1809および陽極1810からなるEL素子1811が形成されている。即ち、図18(A)に示したEL素子1806とはちょうど逆向きの構造のEL素子1811となる。

【0011】このとき、有機EL膜1809で生成された光のうち陰極1808側へ進行したものは殆ど陰極1808で反射され陽極1810を透過して図中の矢印の方向に向かって放射される。従って、陰極1808が設けられた領域すべてを有効発光領域とすることが可能となり、光取り出し効率の高いアクティブマトリクス型EL発光装置が得られる。さらに、駆動電圧が低くても高い発光輝度が得られ、明るい画像が得られるといった利点がある。

【0012】

【発明が解決しようとする課題】本発明は、光取り出し効率の高い発光装置の製造コストを抑えることを課題とし、画質が明るく安価な発光装置を提供することを課題とする。また、本発明の発光装置を表示部に用いた画質が明るい表示部を有する安価な電気器具を提供することを課題とする。

【0013】

【課題を解決するための手段】本発明者らは図18(B)に示すような光取り出し効率の高いEL発光装置を作製する場合、電流制御TFTとしてはnチャネル型TFTを用いることが望ましいと考えた。その理由について図19を用いて説明する。

【0014】図19(A)は図18(B)の構造に対して電流制御TFTにpチャネル型TFTを用いた例である。このとき、電流制御TFT1901のソースは電流供給線1902に接続され、ドレインはEL素子1903の陰極に接続される。なお、この構造では電流供給線1902の電位を $V_L$ (ローレベルの電位。ここでは接地電位に等しい。)とし、EL素子1903の陽極の電位を $V_H$ (ハイレベルの電位。ここでは5~10V。)とする必要がある。

【0015】また、電流制御TFT1901のゲートの電位を $V_G$ とし、ソースの電位を $V_S$ とし、ドレインの電位を $V_D$ とする。このとき、電流制御TFT1901にかかるゲート電圧は $V_G - V_S$ 、ソースとドレインとの間にかかる電圧は $V_D - V_S$ 、ソース電圧は $V_S - V_L$ 、ドレイン電圧は $V_D - V_L$ で表される。また、 $V_S$ はEL素子1903の陰極の電位でもあり、電流制御TFT1901のゲートが開くと電流供給線1902の電位 $V_L$ に近づく。また、ドレインの電位 $V_D$ は電流供給線1902の電位 $V_L$ に等しい。



【0016】ところが、図19(A)の構造の場合、電流制御TFT1901が開くと電位 $V_S$ が変化する( $V_L$ に近づく)ため、ゲート電圧( $V_G-V_S$ )およびソースとドレインとの間にかかる電圧( $V_D-V_S$ )そのものが変化してしまう。その結果、電流制御TFT1901を流れる電流量が $V_S$ の変化とともに変化し、EL素子1903に安定した電流を供給することができないという問題を生じる。

【0017】一方、図18(B)の構造において電流制御TFTをnチャネル型TFTとした例を図19(B)に示す。この場合、電流制御TFT1904のソースの電位 $V_S$ は常に電流供給線1902の電位 $V_L$ に等しいため、ゲート電圧( $V_G-V_S$ )およびソースとドレインとの間にかかる電圧( $V_D-V_S$ )が変化することはない。従って、EL素子1903に安定した電流を供給することができる。

【0018】以上のように、電流制御TFTのドレインにEL素子の陰極が接続される構造の画素とする場合、電流制御TFTとしてnチャネル型TFTを用いることが望ましいという認識を得た。

【0019】そこで本発明では、アクティブマトリクス型の発光装置の製造コストを低減するために全ての半導体素子(代表的には薄膜トランジスタ)をnチャネル型の半導体素子とすることを特徴とする。これによりpチャネル型の半導体素子の製造工程が削減されるため発光装置の製造工程が簡略化され製造コストを低減することができる。

【0020】また、nチャネル型の半導体素子だけで駆動回路を形成する点も特徴の一つである。即ち、一般的な駆動回路はnチャネル型の半導体素子とpチャネル型の半導体素子とを相補的に組み合わせたCMOS回路を基本に設計されるが、本発明ではnチャネル型の半導体素子のみを組み合わせ駆動回路を形成する点にも特徴がある。

#### 【0021】

【発明の実施の形態】本発明の実施の形態では、画素部と、その画素部に信号を伝送するための駆動回路とを同一の絶縁体上に形成したアクティブマトリクス型EL発光装置を図1に示す。

【0022】図1において、基板11上には下地となる絶縁膜12が設けられ、その上にはスイッチング素子となるTFT(以下、スイッチングTFTという)201、電流制御素子となるTFT(以下、電流制御TFTという)202、nチャネル型TFT203およびnチャネル型TFT204が設けられている。ここでは画素部に設けられるTFTの例としてスイッチングTFT201および電流制御TFT202を示し、駆動回路に設けられるインバータ回路の例としてnチャネル型TFT203およびnチャネル型TFT204を示す。

【0023】なお、本発明は基板11としてプラスチッ

ク基板(プラスチックフィルムを含む)を用いる場合に特に有効な技術である。プラスチック基板上にTFTを形成するにあたって、現状においてpチャネル型TFTは良好な電気特性が得られていない。従って、全てのTFTをnチャネル型TFTで形成するという本発明はプラスチック基板を用いてアクティブマトリクス型EL発光装置を作製する上で特に有効な技術である。

【0024】まず、画素部について説明する。スイッチングTFT201はnチャネル型TFTであり、ソース領域13、分離領域(チャネル形成領域間に存在する不純物領域)14、分離領域15、ドレイン領域16およびチャネル形成領域17~19を含む活性層、ゲート絶縁膜20、ゲート電極21a~21c、無機絶縁膜22、有機絶縁膜23、ソース配線24並びにドレイン配線25を含む。このスイッチングTFT201は電流制御TFTのゲート電圧を制御するためのスイッチング素子である。

【0025】なお、無機絶縁膜22は窒化珪素膜もしくは窒化酸化珪素膜( $SiO_xN_y$ で表される)であり、有機絶縁膜23は樹脂膜(ポリイミド膜、アクリル樹脂膜、ポリアミド膜もしくはベンゾシクロブテン膜)である。有機絶縁膜23には金属粒子もしくはカーボン粒子を分散させても良い。その場合、比抵抗が $1 \times 10^8 \sim 1 \times 10^{10} \Omega m$ となるように金属粒子もしくはカーボン粒子の含有量を調節することで静電気の発生を抑制することができる。

【0026】また、ソース配線24およびドレイン配線25は、周期表の1族もしくは2族に属する元素(好ましくはセシウム、マグネシウム、リチウム、カルシウム、カリウム、バリウムもしくはベリリウム)を含む金属膜を用いることが好ましい。また金属膜としてはアルミニウム膜、銅薄膜もしくは銀薄膜が好ましい。その他にもビスマス膜を用いることもできる。

【0027】次に、電流制御TFT202はnチャネル型TFTであり、ソース領域26、ドレイン領域27およびチャネル形成領域28を含む活性層、ゲート絶縁膜20、ゲート電極29、無機絶縁膜22、有機絶縁膜23、ソース配線30並びに画素電極31を含む。このとき、スイッチングTFT201のドレイン配線25は電流制御TFT202のゲート電極29に接続されている。また、電流制御TFT202のドレイン領域27に接続された画素電極31はEL素子40の陰極として機能する。

【0028】なお、画素電極31は、周期表の1族もしくは2族に属する元素(好ましくはセシウム、マグネシウム、リチウム、カルシウム、カリウム、バリウムもしくはベリリウム)を含む金属膜を用いることが好ましい。また金属膜としてはアルミニウム膜、銅薄膜もしくは銀薄膜が好ましい。その他にもビスマス膜を用いることもできる。

【0029】勿論、スイッチングTFT201のソース配線24、ドレイン配線25および電流制御TFT202のソース配線30は、画素電極31と同時に形成されるため画素電極31と同一の材料で形成される。

【0030】また、32は金属粒子もしくはカーボン粒子を分散させた樹脂膜（ポリイミド膜、アクリル樹脂膜、ポリアミド膜もしくはベンゾシクロブテン膜）からなるバンクであり、比抵抗が $1 \times 10^8 \sim 1 \times 10^{10} \Omega \cdot \text{m}$ となるように金属粒子もしくはカーボン粒子を含有している。このような比抵抗であれば成膜時にTFTの静電破壊を抑制することができる。また、33は有機EL膜を含む薄膜、34はEL素子40の陽極（代表的には酸化物導電膜からなる電極）である。

【0031】さらに、画素電極（陰極）31、有機EL膜を含む薄膜33および陽極34からなるEL素子40を覆うようにパッシベーション膜36が設けられている。パッシベーション膜36としては、窒化珪素膜、窒化酸化珪素膜、炭素膜（好ましくはダイヤモンドライクカーボン膜）、酸化アルミニウム膜もしくは酸化タンタル膜を用いることができる。これらは積層しても良い。

【0032】ここで画素部における一画素の回路構成を図2に示す。図2（A）において、205はスイッチングTFT201のゲート電極21a～21cにゲート電圧を加えるためのゲート配線であり、206はEL素子40に流れる電流を供給する電流供給線である。また、207はコンデンサであり、電流制御TFT202のゲート電極29に加わるゲート電圧を保持するために設けられる。この場合、電流制御TFT202のソース配線30をローレベルの電位（ $V_L$ ）とし、EL素子の陽極34をハイレベルの電位（ $V_H$ ）とする。

【0033】また、一画素の別の回路構成を図2（B）に示す。図2（B）に示した回路構成の場合、電流供給線206と電流制御TFT202との間にEL素子208が形成される。この場合、電流制御TFT202のソース配線30をハイレベルの電位（ $V_H$ ）とし、EL素子の陽極34をローレベルの電位（ $V_L$ ）とする。また、このとき電流供給線206がEL素子の陽極34として機能する。

【0034】なお、ここでは一画素に2個のTFT（スイッチングTFTおよび電流制御TFT）を設けた例を示しているが、TFTの個数は3個、4個、5個、6個もしくはそれ以上であっても良い。即ち、ソース配線24から入力されるビデオ信号を切り替えるスイッチングTFTおよびEL素子40に流れる電流量を制御する電流制御TFTに加え、その他の信号を制御するTFTを設けることは可能である。

【0035】次に、駆動回路について図1を用いて説明する。nチャネル型TFT203は、ソース領域41、ドレイン領域42およびチャネル形成領域43を含む活性層、ゲート絶縁膜20、ゲート電極44、無機絶縁膜

22、有機絶縁膜23、ソース配線45並びにドレイン配線46を含む。

【0036】また、nチャネル型TFT204は、ソース領域47、ドレイン領域48およびチャネル形成領域49を含む活性層、ゲート絶縁膜20、ゲート電極50、無機絶縁膜22、有機絶縁膜23、ソース配線51並びにnチャネル型TFT203と共通のドレイン配線46を含む。

【0037】なお、nチャネル型TFT203のソース配線45、ドレイン配線（nチャネル型TFT204と共通の配線）46およびnチャネル型TFT204のソース配線51は画素電極31と同一材料で形成されている。

【0038】なお、本実施例に示すTFTはすべてエンハンスメント型のnチャネル型TFT（以下、E型NTFTという）で形成されているが、nチャネル型TFT203もしくはnチャネル型TFT204のいずれか一方をデプレッション型とすることもできる。その場合、チャネル形成領域となる半導体に周期表の15族に属する元素（好ましくはリン）もしくは周期表の13族に属する元素（好ましくはボロン）を添加することによりエンハンスメント型とデプレッション型とを作り分けることができる。

【0039】また、nチャネル型TFT203およびnチャネル型TFT204を組み合わせる場合、エンハンスメント型TFT同士で形成する場合（以下、EEMOS回路という）と、エンハンスメント型とデプレッション型とを組み合わせる場合（以下、EDMOS回路という）がある。

【0040】ここでEEMOS回路の例を図3（A）に、EDMOS回路の例を図3（B）に示す。図3

（A）において、301、302はどちらもE型NTFTである。また、図3（B）において、303はE型NTFT、304はデプレッション型のnチャネル型TFT（以下、D型NTFTという）である。

【0041】なお、図3（A）、（B）において、 $V_{DH}$ は正の電圧が印加される電源線（正電源線）であり、 $V_{DL}$ は負の電圧が印加される電源線（負電源線）である。負電源線は接地電位の電源線（接地電源線）としても良い。

【0042】さらに、図3（A）に示したEEMOS回路もしくは図3（B）に示したEDMOS回路を用いてシフトレジスタを作製した例を図4に示す。図4において、400、401はフリップフロップ回路である。また、402、403はE型NTFTであり、E型NTFT402のゲートにはクロック信号（CL）が入力され、E型NTFT403のゲートには極性の反転したクロック信号（CLバー）が入力される。また、404で示される記号はインバータ回路であり、図4（B）に示すように、図3（A）に示したEEMOS回路もしくは

図3 (B) に示した EDMOS 回路が用いられる。

【0043】本発明の実施の形態では全ての TFT を n チャンネル型 TFT とすることにより p チャンネル型 TFT を形成する工程が削減されるため、EL 発光装置の製造工程を簡略化することができる。また、それに伴って製造工程の歩留まりが向上し、EL 発光装置の製造コストを下げるができる。

【0044】

【実施例】〔実施例1〕本実施例では、画素部とその周辺に設けられる駆動回路を同一の絶縁体上に製造する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては n チャンネル型 TFT を組み合わせた NMOS 回路を図示することとする。

【0045】まず、図5 (A) に示すように、プラスチックからなる絶縁体 501 を用意する。本実施例ではプラスチックからなる絶縁体 501 として、プラスチック基板 501a の両面（表面および裏面）に保護膜（炭素膜、具体的にはダイヤモンドライクカーボン膜）501b、501c をコーティングした絶縁体を用意する。勿論、片面（表面もしくは裏面）に保護膜を設けた構成としても良い。

【0046】次に絶縁体 501 上に下地膜 502 を 300 nm の厚さに形成する。本実施例では下地膜 502 として窒化酸化珪素膜をスパッタ法で積層して用いる。この時、絶縁体 501 に接する層の窒素濃度を 10～25 wt % としておき、他の層よりも高めに窒素を含有させると良い。

【0047】次に下地膜 502 の上に 50 nm の厚さの非晶質半導体膜（図示せず）をスパッタ法で形成する。絶縁体 501 がプラスチックであるため、成膜温度が 200℃（好ましくは 150℃）を超えないことが好ましい。

【0048】なお、非晶質半導体膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。非晶質半導体膜としては非晶質珪素もしくは非晶質シリコンゲルマニウム膜を用いることができる。また、膜厚は 20～100 nm の厚さであれば良い。

【0049】そして、公知のレーザー結晶化法を用いて非晶質珪素膜の結晶化を行い、結晶質半導体膜 503 を形成する。なお、本実施例では固体レーザー（具体的には Nd : YAG レーザーの第2高調波）を用いるが、エキシマレーザーを用いても良い。また、結晶化方法はプラスチックからなる絶縁体 501 の耐熱性が許す範囲であれば如何なる手段を用いても良い。

【0050】次に、図5 (B) に示すように、結晶質半導体膜 503 を1回目のフォトリソグラフィ工程によりエッチングして島状の半導体膜 504～507 を形成する。これらは後に TFT の活性層となる半導体膜である。

【0051】なお、本実施例では TFT の活性層として結晶質半導体膜を用いているが、非晶質半導体膜を活性層として用いることも可能である。

【0052】ここで本実施例では、半導体膜 504～507 上に酸化珪素膜からなる保護膜（図示せず）を 130 nm の厚さにスパッタ法で形成し、半導体を p 型半導体とする不純物元素（以下、p 型不純物元素という）を半導体膜 504～507 に添加する。p 型不純物元素としては周期表の 13 族に属する元素（典型的にはボロンもしくはガリウム）を用いることができる。なお、この保護膜は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0053】また、このとき添加される p 型不純物元素の濃度は、 $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ （代表的には  $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ ）とすれば良い。この濃度で添加された p 型不純物元素は n チャンネル型 TFT のしきい値電圧の調節に用いられる。

【0054】次に、半導体膜 504～507 の表面を洗浄する。まず、オゾンを含む純水を用いて表面を洗浄する。その際、表面に薄い酸化膜が形成されるため、さらに 1% に希釈したフッ酸水溶液を用いて薄い酸化膜を除去する。この処理により半導体膜 504～507 の表面に付着した汚染物を除去できる。このときオゾンの濃度は 6 mg/L 以上とすることが好ましい。これら一連の処理は大気開放することなく行われる。

【0055】そして、半導体膜 504～507 を覆ってゲート絶縁膜 508 をスパッタ法で形成する。ゲート絶縁膜 508 としては、10～200 nm、好ましくは 50～150 nm の厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では 115 nm 厚の窒化酸化珪素膜を用いる。

【0056】本実施例では、半導体膜 504～507 の表面洗浄からゲート絶縁膜 508 の形成までを大気開放することなく行い、半導体膜 504～507 とゲート絶縁膜 508 の界面における汚染物および界面準位の低減を図っている。この場合、洗浄室とスパッタ室とを少なくとも有したマルチチャンバー方式（もしくはインライン方式）の装置を用いれば良い。

【0057】次に、第1の導電膜 509 として 30 nm 厚の窒化タンタル膜を形成し、さらに第2の導電膜 510 として 370 nm のタングステン膜を形成する。他にも第1の導電膜としてタングステン膜、第2の導電膜としてアルミニウム合金膜を用いる組み合わせ、または第1の導電膜としてチタン膜、第2の導電膜としてタングステン膜を用いる組み合わせを用いても良い。

【0058】これらの金属膜はスパッタ法で形成すれば良い。また、スパッタガスとして Xe、Ne 等の不活性ガスを添加すると応力による膜はがれを防止することができる。また、タングステンターゲットの純度を 99.99% とする。



9999%とすることで、抵抗率が $20\mu\Omega\text{cm}$ 以下の低抵抗なタングステン膜を形成することができる。

【0059】また、前述の半導体膜504～507の表面洗浄から第2の導電膜510の形成までを大気開放することなく行うことも可能である。この場合、洗浄室、絶縁膜を形成するスパッタ室および導電膜を形成するスパッタ室を少なくとも有したマルチチャンバー方式（もしくはインライン方式）の装置を用いれば良い。

【0060】次に、レジストマスク511a～511gを形成し、第1の導電膜509及び第2の導電膜510をエッチングする。なお、本明細書中ではここで行うエッチング処理を第1のエッチング処理と呼ぶ。（図5（C））

【0061】本実施例では、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）を用いたエッチング方法を採用する。

【0062】まず、エッチングガスとして四フッ化炭素（ $\text{CF}_4$ ）ガス、塩素（ $\text{Cl}_2$ ）ガスおよび酸素（ $\text{O}_2$ ）ガスの混合ガスを用い、1Paの圧力とする。このとき各ガスの流量は、四フッ化炭素ガスが $2.5\times 10^{-5}\text{m}^3/\text{min}$ 、塩素ガスが $2.5\times 10^{-5}\text{m}^3/\text{min}$ 、酸素ガスが $1.0\times 10^{-5}\text{m}^3/\text{min}$ である。

【0063】そして、この状態でコイル型の電極に500WのRF電力（13.56MHz）を印加してプラズマを生成する。また、基板を乗せたステージには自己バイアス電圧として150WのRF電力（13.56MHz）を印加して、負の自己バイアスが基板に加わるようにする。このエッチング条件を第1のエッチング条件と呼ぶ。

【0064】これにより第2の導電膜（タングステン膜）510が選択的にエッチングされる。これはエッチングガスに酸素が加わることで第1の導電膜（窒化タンタル膜）のエッチングの進行が極端に遅くなるためである。また、レジストマスク511a～511eの後退を利用して $15\sim 45^\circ$ のテーパ角を有するテーパを有する形状とすることができる。第1のエッチング条件では約 $25^\circ$ のテーパ角を得ることができる。

【0065】なお、テーパとは、電極の端部における端面が斜めになった部分であり、下地との角度はテーパ角と呼ばれる。また、テーパを有する形状とは電極端部があるテーパ角を持って斜めになった形状であり、台形はテーパを有する形状に含まれる。

【0066】次に、エッチングガスを四フッ化炭素ガスおよび塩素ガスの混合ガスにしてエッチングを行う。このとき圧力を1Pa、各ガスの流量は、四フッ化炭素ガスおよび塩素ガスともに $3.0\times 10^{-5}\text{m}^3/\text{min}$ である。また、コイル型の電極には500WのRF電力を印加し、基板を乗せたステージには自己バイアス電圧として20WのRF電力を印加する。この条件を第2のエッチング条件と呼ぶ。

【0067】こうして、第1の導電膜と第2の導電膜との積層膜からなるゲート電極512～516並びにスイッチングTFETのソース配線517およびドレイン配線518が形成される。

【0068】次に、ゲート電極512～516、ソース配線517およびドレイン配線518をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域519～527にはn型不純物元素が $1\times 10^{20}\sim 1\times 10^{21}\text{atoms}/\text{cm}^3$ （代表的には $2\times 10^{20}\sim 5\times 10^{21}\text{atoms}/\text{cm}^3$ ）の濃度で含まれる。これらの不純物領域519～527はnチャネル型TFETのソース領域およびドレイン領域を形成する。

【0069】次に、レジストマスク511a～511gをそのまま用いてゲート電極のエッチングを行う。このエッチング条件は第1のエッチング条件において、自己バイアス電圧を20Wとしたエッチング条件とすれば良い。この条件では第2の導電膜（タングステン膜）のみが選択的にエッチングされ、第2の導電膜からなるゲート電極（以下、第2ゲート電極という）528～532、第2の導電膜からなるソース配線（以下、第2ソース配線という）533および第2の導電膜からなるドレイン配線（以下、第2ドレイン配線という）534が形成される。（図5（D））

【0070】次に、図5（E）に示すように、レジストマスク511a～511gをそのまま用いて、n型不純物元素（本実施例ではリン）を添加する。この工程では第2ゲート電極528～532がマスクとして機能し、n型不純物元素が $2\times 10^{16}\sim 5\times 10^{19}\text{atoms}/\text{cm}^3$ （代表的には $5\times 10^{17}\sim 5\times 10^{18}\text{atoms}/\text{cm}^3$ ）の濃度で含まれたn型不純物領域535～544が形成される。なお、本明細書ではこの濃度でn型不純物元素が添加された不純物領域をn型不純物領域（b）と呼ぶことにする。

【0071】また、ここでの添加条件は、リンが第1の導電膜およびゲート絶縁膜を貫通して半導体膜に到達するように加速電圧を70～120kV（本実施例では90kV）と高めに設定する。

【0072】次に、図6（A）に示すように、ゲート絶縁膜508をドライエッチング法によりエッチングし、互いに孤立したゲート絶縁膜545～549を形成する。なお、本実施例ではn型不純物領域（a）519～527が露呈するようにゲート絶縁膜をエッチングした例を示しているが、n型不純物領域（a）519～527の表面にゲート絶縁膜が残っていても良い。

【0073】このエッチング条件は、エッチングガスとして $\text{CHF}_3$ （三フッ化炭素）ガスを $3.5\times 10^{-5}\text{m}^3/\text{min}$ の流量で流し、エッチング圧力を $7.3\times 10^3\text{Pa}$ とする。また、印加電力は800Wとする。

【0074】このとき、第1の導電膜（窒化タンタル

膜) が同時にエッチングされ、第1の導電膜からなるゲート電極(以下、第1ゲート電極という) 550~554が形成される。従って、本実施例に示すEL発光装置は、第1ゲート電極と第2ゲート電極とを積層した構造のゲート電極を有する。

【0075】また、図6(A)に示すように、第1ゲート電極550はn型不純物領域(b) 535、536に一部が重なる(ゲート絶縁膜545を介して重なる)ことになる。即ち、n型不純物領域(b) 535、536は第1ゲート電極550にゲート絶縁膜545を介して重なる領域535a、535bおよび第1ゲート電極550にゲート絶縁膜545を介して重ならない領域536a、536bを含むと言っても良い。

【0076】なお、第1ゲート電極550はゲート電極の一部として機能するが、第1ゲート電極550にゲート絶縁膜545を介して重なった領域535a、536aはホットキャリア効果の低減に有効である。これによりホットキャリア効果に起因する劣化を抑制することができる。以上の特徴は全てのTFTに共通である。

【0077】次に、図6(B)に示すように、添加されたn型不純物元素を活性化する。活性化手段としては、レーザーアニールが好ましい。勿論、プラスチック基板501aの耐熱性が許せば、ランプアニール、ファーンズアニールもしくはそれらとレーザーアニールを併用した手段を用いても良い。なお、このとき処理雰囲気中の酸素濃度を極力低くしておくことが望ましい。これはゲート電極の酸化を防ぐためであり、望ましくは酸素濃度を1ppm以下とする。

【0078】次に、図6(C)に示すように、窒化珪素膜もしくは窒化酸化珪素膜からなる無機絶縁膜555を50~200nmの厚さに形成する。この無機絶縁膜555はスパッタ法で形成すれば良い。

【0079】その後、水素(H<sub>2</sub>)ガスもしくはアンモニア(NH<sub>3</sub>)ガスを用いたプラズマ処理により水素化処理を行う。水素化処理が終了したら、有機絶縁膜556として可視光を透過する樹脂膜を1~2μmの厚さに形成する。樹脂膜としては、ポリイミド膜、ポリアミド膜、アクリル樹脂膜もしくはBCB(ベンゾシクロブテン)膜を用いれば良い。また、感光性樹脂膜を用いることも可能である。

【0080】なお、本実施例では無機絶縁膜555および有機絶縁膜556の積層膜を層間絶縁膜と呼ぶ。

【0081】次に、図6(D)に示すように、層間絶縁膜に対してコンタクトホールを形成し、配線557~562および画素電極563を形成する。なお、本実施例ではこの配線を、下層側から50nmのチタン膜、200nmのチタンを含むアルミニウム膜、200nmのリチウムを含むアルミニウム膜をスパッタ法で連続形成した三層構造の積層膜とする。また、リチウムを含むアルミニウム膜のみ蒸着法で形成することもできる。但し、

その場合においても大気開放しないで連続形成することが望ましい。

【0082】ここで画素電極563の最表面が仕事関数の小さい金属面となるようにすることは重要である。これは画素電極563がそのままEL素子の陰極として機能することになるからである。そのため、少なくとも画素電極563の最表面は周期表の1族もしくは2族に属する元素を含む金属膜またはビスマス(Bi)膜とすることが好ましい。また、配線557~562は画素電極563と同時に形成されるため、同一の導電膜で形成されることになる。

【0083】このとき、配線557、559はNMOS回路のソース配線、558はドレイン配線として機能する。また、配線560はソース配線517とスイッチングTFTのソース領域とを電気的に接続する配線として機能し、配線561はドレイン配線518とスイッチングTFTのドレイン領域とを電気的に接続する配線として機能する。また、562は電流制御TFTのソース配線(電流供給線に相当する)であり、563は電流制御TFTの画素電極である。

【0084】次に、図7に示すように画素電極563の端部を覆う絶縁膜(以下、バンクという) 564を形成する。バンク564は100~400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターンニングして形成すれば良い。このバンク564は画素と画素との間(画素電極と画素電極との間)を埋めるように形成される。また、次に形成する発光層等の有機EL膜が画素電極563の端部に直接触れないようにする目的もある。

【0085】なお、バンク564は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク564の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ (好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ )となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

【0086】次に、EL層565を蒸着法により形成する。なお、本実施例では、正孔注入層および発光層の積層体をEL層と呼んでいる。即ち、発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体をEL層と定義する。なお、これらは有機材料であっても無機材料であっても良いし、高分子であっても低分子であっても良い。

【0087】本実施例では、まず電子注入層としてフッ化リチウム(LiF)膜を20nmの厚さに成膜し、さらに発光層としてアルミキノリラト錯体(Alq<sub>3</sub>)を80nmの厚さに形成する。また、発光層に対して発光中心となるドーパント(代表的には蛍光色素)を共蒸着により添加しても良い。このドーパントとして、三重項

励起を経由して発光する有機材料を用いても良い。

【0088】次に、EL層565を形成したら、仕事関数が大きく、可視光に対して透明な酸化物導電膜からなる陽極566を300nmの厚さに形成する。本実施例では、酸化亜鉛に酸化ガリウムを添加した酸化物導電膜を蒸着法を用いて形成する。また、他の酸化物導電膜として、酸化インジウム、酸化亜鉛、酸化スズ、もしくはそれらを組み合わせた化合物からなる酸化物導電膜を用いることも可能である。こうして画素電極（陰極）563、EL層565および陽極566を含むEL素子567が形成される。

【0089】なお、陽極566を形成した後、EL素子567を完全に覆うようにしてパッシベーション膜568を設けることは有効である。パッシベーション膜568としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0090】この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC（ダイヤモンドライクカーボン）膜を用いることは有効である。DLC膜は室温から100℃以下の温度範囲で成膜可能であるため、耐熱性の低いEL層565の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、EL層565の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間にEL層565が酸化するといった問題を防止できる。

【0091】さらに、パッシベーション膜568上に封止材569を設け、カバー材570を貼り合わせる。封止材569としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材570はプラスチック基板（プラスチックフィルムも含む）570aの両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）570b、570cを用いる。

【0092】こうして図7に示すような構造のEL発光装置が完成する。なお、バンク564を形成した後、パッシベーション膜568を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材570を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

【0093】こうして、プラスチック基板を母体とする絶縁体501上にnチャネル型TFT601、602、スイッチングTFT（nチャネル型TFT）603および電流制御TFT（nチャネル型TFT）604が形成される。ここまでの製造工程で必要としたフォトリソグラフィ工程は5回であり、一般的なアクティブマトリクス

型EL発光装置よりも少ない。

【0094】即ち、TFTの製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。また、TFTおよびEL素子がプラスチック基板を母体とする絶縁体（カバー材も含む）で挟まれた構造となったおり、非常にフレキシブルで軽量のEL発光装置をも実現できる。

【0095】さらに、図6（A）を用いて説明したように、第1ゲート電極にゲート絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強いnチャネル型TFTを形成することができる。そのため、信頼性の高いEL発光装置を実現できる。

【0096】また、本実施例のEL発光装置の回路構成例を図8に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本実施例では、ソース側駆動回路801、画素部806及びゲート側駆動回路807を有している。なお、本明細書中において、駆動回路とはソース側駆動回路およびゲート側駆動回路を含めた総称である。

【0097】ソース側駆動回路801は、シフトレジスタ802、ラッチ（A）803、ラッチ（B）804、バッファ805を設けている。なお、アナログ駆動の場合はラッチ（A）、（B）の代わりにサンプリング回路（トランスファゲートもしくはアナログスイッチともいう）を設ければ良い。また、ゲート側駆動回路807は、シフトレジスタ808、バッファ809を設けている。なお、シフトレジスタ802、808としては図4に示したシフトレジスタを用いれば良い。

【0098】また、本実施例において、画素部806は複数の画素を含み、その複数の画素にEL素子が設けられている。このとき、EL素子の陰極は電流制御TFTのドレインに電氣的に接続されていることが好ましい。

【0099】これらソース側駆動回路801およびゲート側駆動回路807は全てnチャネル型TFTで形成され、全ての回路は図3（A）に示したEEMOS回路を基本単位として形成されている。従来のCMOS回路に比べると消費電力は若干上がってしまうが、もともとCMOS回路を駆動回路に用いたEL発光装置は95%近くの電力が画素部で消費されているので、多少NMOS回路を用いることで駆動回路の消費電力が上がったとしてもさほど問題とはならない。

【0100】なお、図示していないが、画素部806を挟んでゲート側駆動回路807の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

【0101】なお、上記構成は、図5～図7に示した製造工程に従ってTFTを作製することによって実現する



ことができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、 $\gamma$ 補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

【0102】さらに、EL素子を保護するための封止（または封入）工程まで行った後の本実施例のEL発光装置について図9（A）、（B）を用いて説明する。なお、必要に応じて図5～図8で用いた符号を引用する。

【0103】図9（A）は、EL素子の封止までを行った状態を示す上面図、図9（B）は図9（A）をA-A'で切断した断面図である。点線で示された801はソース側駆動回路、806は画素部、807はゲート側駆動回路である。また、901はカバー材、902は第1シール材、903は第2シール材であり、第1シール材902で囲まれた内側には封止材907が設けられる。

【0104】なお、904はソース側駆動回路801及びゲート側駆動回路807に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良いし、TCP（Tape Carrier Package）の形態となっても良い。また、COG（Chip On Glass）によりICを基板上に実装しても良い。

【0105】本明細書におけるEL発光装置には、EL発光装置本体だけでなく、それにFPC、TCPもしくはPWBが取り付けられた状態をも含むものとする。

【0106】次に、断面構造について図9（B）を用いて説明する。絶縁体501の上方には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御用TFT604とそのドレインに電氣的に接続された画素電極563を含む複数の画素により形成される。また、ゲート側駆動回路807はnチャネル型TFT601とnチャネル型TFT602とを組み合わせたNMOS回路（図3参照）を用いて形成される。

【0107】画素電極563はEL素子の陰極として機能する。また、画素電極563の両端にはバンク564が形成され、画素電極563上にはEL層565およびEL素子の陽極566が形成される。陽極566は全面素子に共通の配線としても機能し、接続配線904を経由してFPC905に電氣的に接続されている。さらに、画素部806及びゲート側駆動回路807に含まれる素子は全て陽極566およびパッシベーション膜567で覆われている。

【0108】また、第1シール材902によりカバー材901が貼り合わされている。なお、カバー材901と

EL素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第1シール材902の内側には封止材907が充填されている。なお、第1シール材902、封止材907としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材902はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材907の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0109】EL素子を覆うようにして設けられた封止材907はカバー材901を接着するための接着剤としても機能する。また、本実施例ではカバー材901を構成するプラスチック基板901aの材料としてFRP（Fiberglass-Reinforced Plastics）、PVF（ポリビニルフロライド）、マイラー、ポリエステルまたはアクリルを用いることができる。

【0110】さらに本実施例ではプラスチック基板901aの両面に保護膜として炭素膜（具体的にはダイヤモンドカーボン膜）901b、901cを2～30nmの厚さに設けている。このような炭素膜は、酸素および水の侵入を防ぐとともにプラスチック基板901aの表面を機械的に保護する役割をもつ。また、外側の炭素膜901bに偏光板（代表的には円偏光板）を貼り付けることも可能である。

【0111】また、封止材907を用いてカバー材901を接着した後、封止材907の側面（露出面）を覆うように第2シール材903を設ける。第2シール材903は第1シール材902と同じ材料を用いることができる。

【0112】以上のような構造でEL素子を封止材907に封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL発光装置が得られる。

【0113】【実施例2】本実施例では、実施例1に示したEL発光装置とは異なる構造でEL素子を封止した例について図10（A）、（B）を用いて説明する。なお、図9と同一の部分については同一の符号を用いる。また、図10（B）は図10（A）をA-A'で切断した断面図である。

【0114】まず、本実施例ではTFTおよびEL素子を形成する絶縁体1001としてプラスチックフィルム1001aの両面を保護膜として炭素膜（具体的にはダイヤモンドカーボン膜）1001b、1001cでコーティング（被覆）したものを用いる。なお、プラスチックフィルム1001aの両面に炭素膜1001b、1001cを成膜する際はロールトゥロール方式を用いれば良い。

【0115】また、実施例1に従ってEL素子まで作製した基板に、封止材907を用いてカバー材1002を貼り合わせる。カバー材1002としてもプラスチック

フィルム1002aの両面を保護膜として炭素膜（具体的にはダイヤモンドライクカーボン膜）1002b、1002cでコーティングしたものをを用いる。さらに、カバー材1002の端面（端部）は第2シール材1003により封止する。

【0116】〔実施例3〕本実施例では、実施例1においてnチャネル型TFT601をデプレッション型とし、nチャネル型TFT602、スイッチングTFT603および電流制御TFT604をエンハンスメント型とする場合について説明する。

【0117】まず、実施例1に従って図5（A）の状態を得る。次に、スパッタ法で100～150nmの酸化珪素膜1101を成膜し、その上にnチャネル型TFT601となる領域にレジストマスク1102を形成する。（図11（A））

【0118】次に、レジストマスク1102を用いて結晶質半導体膜503に周期表の13族に属する元素（本実施例ではボロン）を添加する。こうして $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度でボロンが添加された領域1103およびボロンが添加されなかった領域1104が形成される。（図11（B））

【0119】次に、結晶質半導体膜をパターンニングして、島状の半導体膜1105～1108を形成する。このとき、半導体膜1105はボロンが添加されなかった領域1104で形成され、半導体膜1106～1108はボロンが添加された領域で形成される。即ち、半導体膜1105を活性層とするTFTはチャネル形成領域にボロンは含まれない、もしくは含まれていても $5 \times 10^{14} \text{ atoms/cm}^3$ 以下であり、半導体膜1106～1108を活性層とするTFTはチャネル形成領域にボロンが $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度で含まれている。

（図11（C））

【0120】この後の工程は、実施例1に従えば良い。本実施例の場合、半導体膜1105を用いて形成されたnチャネル型TFTはデプレッション型TFT（即ちノーマリオンのnチャネル型TFT）となり、半導体膜1106～1108を用いて形成されたnチャネル型TFTはエンハンスメント型TFT（即ちノーマリオフのnチャネル型TFT）となる。

【0121】本実施例を実施した場合、上記方法で形成されたデプレッション型TFTおよびエンハンスメント型TFTを組み合わせ、図3（B）に示したEDMOS回路を形成することができる。

【0122】なお、本実施例ではボロンを半導体膜に添加することによってしきい値電圧を正の方向にシフトさせ、ボロンの添加されたチャネル形成領域を含むTFTをエンハンスメント型とする例を示したが、周期表の15族に属する元素（代表的にはリンもしくは砒素）を半

導体膜に添加することによってしきい値電圧を負の方向にシフトさせ、周期表の15族に属する元素の添加されたチャネル形成領域を含むTFTをデプレッション型とすることも可能である。

【0123】なお、本実施例は実施例1もしくは実施例2と組み合わせて実施することが可能である。

【0124】〔実施例4〕本実施例では、ソース側駆動回路およびゲート側駆動回路を全てE型NTFTで形成した場合について図12～図14を用いて説明する。本発明ではシフトレジスタの代わりにnチャネル型TFTのみを用いたデコーダを用いる。

【0125】図12はゲート側駆動回路の例である。図12において、100がゲート側駆動回路のデコーダ、101がゲート側駆動回路のバッファ部である。なお、バッファ部とは複数のバッファ（緩衝増幅器）が集積化された部分を指す。また、バッファとは後段の影響を前段に与えずに駆動を行う回路を指す。

【0126】まずゲート側デコーダ100を説明する。まず102はデコーダ100の入力信号線（以下、選択線という）であり、ここではA1、A1バー（A1の極性が反転した信号）、A2、A2バー（A2の極性が反転した信号）、…An、Anバー（Anの極性が反転した信号）を示している。即ち、2n本の選択線が並んでいると考えれば良い。

【0127】選択線の本数はゲート側駆動回路から出力されるゲート配線が何列あるかによってその数が決まる。例えばVGA表示の画素部をもつ場合はゲート配線が480本となるため、9bit分（ $n=9$ に相当する）で合計18本の選択線が必要となる。選択線102は図13のタイミングチャートに示す信号を伝送する。図13に示すように、A1の周波数を1とすると、A2の周波数は $2^{-1}$ 倍、A3の周波数は $2^{-2}$ 倍、Anの周波数は $2^{-(n-1)}$ 倍となる。

【0128】また、103aは第1段のNAND回路（NANDセルともいう）、103bは第2段のNAND回路、103cは第n段のNAND回路である。NAND回路はゲート配線の本数分が必要であり、ここではn個が必要となる。即ち、本発明ではデコーダ100が複数のNAND回路からなる。

【0129】また、NAND回路103a～103cは、nチャネル型TFT104～109が組み合わされてNAND回路を形成している。なお、実際には2n個のTFTがNAND回路103に用いられている。また、nチャネル型TFT104～109の各々のゲートは選択線102（A1、A1バー、A2、A2バー…An、Anバー）のいずれかに接続されている。

【0130】このとき、NAND回路103aにおいて、A1、A2…An（これらを正の選択線と呼ぶ）のいずれかに接続されたゲートを有するnチャネル型TFT104～106は、互いに並列に接続されており、共

通のソースとして負電源線 ( $V_{DL}$ ) 110 に接続され、共通のドレインとして出力線 71 に接続されている。また、A1 番、A2 番...An 番 (これらを負の選択線と呼ぶ) のいずれかに接続されたゲートを有する n チャンネル型 TFT 107~109 は、互いに直列に接続されており、回路端に位置する n チャンネル型 TFT 109 のソースが正電源線 ( $V_{DH}$ ) 112 に接続され、もう一方の回路端に位置する n チャンネル型 TFT 107 のドレインが出力線 111 に接続されている。

【0131】 以上のように、本発明において NAND 回路は直列に接続された n 個の n チャンネル型 TFT および並列に接続された n 個の n チャンネル型 TFT を含む。但し、n 個の NAND 回路 103a~103c において、n チャンネル型 TFT と選択線との組み合わせはすべて異なる。即ち、出力線 111 は必ず 1 本しか選択されないようになっており、選択線 102 には出力線 111 が端から順番に選択されていくような信号が入力される。

【0132】 次に、バッファ部 101 は NAND 回路 103a~103c の各々に対応して複数のバッファ 113a~113c により形成されている。但しバッファ 113a~113c はいずれも同一構造で良い。

【0133】 また、バッファ 113a~113c は n チャンネル型 TFT 114~116 を用いて形成される。デコーダからの出力線 111 は n チャンネル型 TFT 114 (第 1 の n チャンネル型 TFT) のゲートとして入力される。n チャンネル型 TFT 114 は正電源線 ( $V_{DH}$ ) 117 をソースとし、画素部に続くゲート配線 118 をドレインとする。また、n チャンネル型 TFT 115 (第 2 の n チャンネル型 TFT) は正電源線 ( $V_{DH}$ ) 117 をゲートとし、負電源線 ( $V_{DL}$ ) 119 をソースとし、ゲート配線 118 をドレインとして常時オン状態となっている。

【0134】 即ち、本発明において、バッファ 113a~113c は第 1 の n チャンネル型 TFT (n チャンネル型 TFT 114) および第 1 の n チャンネル型 TFT に直列に接続され、且つ、第 1 の n チャンネル型 TFT のドレインをゲートとする第 2 の n チャンネル型 TFT (n チャンネル型 TFT 115) を含む。

【0135】 また、n チャンネル型 TFT 116 (第 3 の n チャンネル型 TFT) はリセット信号線 (Reset) をゲートとし、負電源線 ( $V_{DL}$ ) 119 をソースとし、ゲート配線 118 をドレインとする。なお、負電源線 ( $V_{DL}$ ) 119 は接地電源線 (GND) としても構わない。

【0136】 このとき、n チャンネル型 TFT 115 のチャンネル幅 ( $W1$  とする) と n チャンネル型 TFT 114 のチャンネル幅 ( $W2$  とする) との間には  $W1 < W2$  の関係がある。なお、チャンネル幅とはチャンネル長に垂直な方向におけるチャンネル形成領域の長さである。

【0137】 バッファ 113a の動作は次の通りであ

る。まず出力線 111 に負電圧が加えられているとき、n チャンネル型 TFT 114 はオフ状態 (チャンネルが形成されていない状態) となる。一方で n チャンネル型 TFT 115 は常にオン状態 (チャンネルが形成されている状態) であるため、ゲート配線 118 には負電源線 119 の電圧が加えられる。

【0138】 ところが、出力線 111 に正電圧が加えられた場合、n チャンネル型 TFT 114 がオン状態となる。このとき、n チャンネル型 TFT 114 のチャンネル幅が n チャンネル型 TFT 115 のチャンネル幅よりも大きいので、ゲート配線 118 の電位は n チャンネル型 TFT 114 側の出力に引っ張られ、結果的に正電源線 117 の電圧がゲート配線 118 に加えられる。

【0139】 従って、ゲート配線 118 は、出力線 111 に正電圧が加えられるときは正電圧 (画素のスイッチング素子として用いる n チャンネル型 TFT がオン状態になるような電圧) を出力し、出力線 111 に負電圧が加えられているときは常に負電圧 (画素のスイッチング素子として用いる n チャンネル型 TFT がオフ状態になるような電圧) を出力する。

【0140】 なお、n チャンネル型 TFT 116 は正電圧が加えられたゲート配線 118 を強制的に負電圧に引き下げるリセットスイッチとして用いられる。即ち、ゲート配線 118 の選択期間が終了したら、リセット信号を入力してゲート配線 118 に負電圧を加える。但し n チャンネル型 TFT 116 は省略することもできる。

【0141】 以上のような動作のゲート側駆動回路によりゲート配線が順番に選択されることになる。次に、ソース側駆動回路の構成を図 14 に示す。図 14 に示すソース側駆動回路はデコーダ 121、ラッチ 122 およびバッファ部 123 を含む。なお、デコーダ 121 およびバッファ部 123 の構成はゲート側駆動回路と同様であるので、ここでの説明は省略する。

【0142】 図 14 に示すソース側駆動回路の場合、ラッチ 122 は第 1 段目のラッチ 124 および第 2 段目のラッチ 125 からなる。また、第 1 段目のラッチ 124 および第 2 段目のラッチ 125 は、各々 m 個の n チャンネル型 TFT 126a~126c で形成される複数の単位ユニット 127a 及び 127b を有する。デコーダ 121 からの出力線 128 は単位ユニット 127a を形成する m 個の n チャンネル型 TFT 126a~126c のゲートに入力される。なお、m は任意の整数である。

【0143】 例えば、VGA 表示の場合、ソース配線の本数は 640 本である。m=1 の場合は NAND 回路も 640 個必要となり、選択線は 20 本 (10bit 分に相当する) 必要となる。しかし、m=8 とすると必要な NAND 回路は 80 個となり、必要な選択線は 14 本 (7bit 分に相当する) となる。即ち、ソース配線の本数を M 本とすると、必要な NAND 回路は  $(M/m)$  個となる。



【0144】そして、 $n$ チャネル型TFT126a~126cのソースは各々ビデオ信号線(V1、V2...Vk)129に接続される。即ち、出力線128に正電圧が加えられると一斉に $n$ チャネル型TFT126a~126cがオン状態となり、各々に対応するビデオ信号が取り込まれる。また、こうして取り込まれたビデオ信号は、 $n$ チャネル型TFT126a~126cの各々に接続されたコンデンサ130a~130cに保持される。

【0145】また、第2段目のラッチ125も複数の単位ユニット127bを有し、単位ユニット127bは $m$ 個の $n$ チャネル型TFT131a~131cで形成される。 $n$ チャネル型TFT131a~131cのゲートはすべてラッチ信号線132に接続され、ラッチ信号線132に負電圧が加えられると一斉に $n$ チャネル型TFT131a~131cがオン状態となる。

【0146】その結果、コンデンサ130a~130cに保持されていた信号が、 $n$ チャネル型TFT131a~131cの各々に接続されたコンデンサ133a~133cに保持されると同時にバッファ123へと出力される。そして、図13で説明したようにバッファを介してソース配線134に出力される。以上のような動作のソース側駆動回路によりソース配線が順番に選択されることになる。

【0147】以上のように、 $n$ チャネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべて $n$ チャネル型TFTで形成することが可能となる。なお、ソース側駆動回路もしくはゲート側駆動回路のいずれか片方を外付けのIC(典型的にはTCPもしくはCOG)とする場合にも本発明は実施できる。

【0148】〔実施例5〕本実施例では、ソース側駆動回路およびゲート側駆動回路をE型NTFT(E型NTFT)およびD型NTFT(D型NTFT)を組み合わせ形成した場合について図15、図16を用いて説明する。

【0149】図15はゲート側駆動回路の例である。図15において、140がシフトレジスタ、141がNAND回路部、142がバッファ部である。

【0150】ここでシフトレジスタ140は図4に示したシフトレジスタを具体的に図示したものである。まず143はクロック信号線、144は極性が反転したクロック信号線、145は正電源線( $V_{DH}$ )、146は接地電源線(GND)である。そして、本実施例ではシフトレジスタ140を形成する基本単位として三つのフリップフロップ回路147a~147cが図示されている。なお、実際には複数のフリップフロップ回路が直列に接続されてシフトレジスタ140を形成している。

【0151】また、本実施例においてフリップフロップ回路147aは図4に示したフリップフロップ回路400に対応し、フリップフロップ回路147bはフリップ

フロップ回路401に対応した回路構成となっている。また、フリップフロップ回路147a~147cはE型NTFTおよびD型NTFTで形成される。

【0152】フリップフロップ回路147aにおいて、148はE型NTFTでゲートはクロック信号線143に接続されている。また、図3(B)の構造のEDMOS回路148a~148cが図4に示すような配置で形成される。なお、150は正電源線( $V_{DH}$ )であり、151は接地電源線(GND)である。

【0153】また、フリップフロップ回路147bはE型NTFT152のゲートが、極性が反転したクロック信号線144に接続されている点を除けばフリップフロップ回路147aと同じ回路構成である。

【0154】そして、フリップフロップ回路147aの出力線153およびフリップフロップ回路147bの出力線154はNAND回路155aに接続される。なお、NAND回路部141には三つのNAND回路155a~155cが図示されているが、実際には複数のNAND回路からなる。NAND回路は二つのフリップフロップ回路の一つに割合で配置されている。また、NAND回路155a~155cはE型NTFTおよびD型NTFTで形成される。

【0155】NAND回路155aにおいて、E型NTFT156のゲートには出力線153が接続され、ソースには接地電源線151が接続され、ドレインにはE型NTFT157が接続される。また、E型NTFT157のゲートには出力線154が接続され、ソースにはE型NTFT156のドレインが接続され、ドレインには出力線158が接続される。また、D型NTFT159のソースは正電源線160に接続され、ゲートおよびドレインは出力線158に接続される。

【0156】そして、NAND回路155aの出力線158はEDMOS回路(インバータ回路と呼んでも良い)161aに接続される。なお、バッファ部142には三つのEDMOS回路161a~161cが図示されているが、実際には複数のEDMOS回路からなる。

【0157】EDMOS回路161aにおいて、E型NTFT162のゲートは出力線158に接続され、ソースは負電源線( $V_{DL}$ )163に接続され、ドレインは出力線(画素部のゲート配線に相当する)164に接続される。また、D型NTFT165のゲートおよびドレインは出力線164に接続され、ソースは正電源線160に接続される。

【0158】次に、ソース側駆動回路の構成を図16に示す。図16に示すソース側駆動回路は図15に示したゲート側駆動回路にトランスファゲート165a~165cを付け加えた構成となっており、シフトレジスタ140、NAND回路部141およびバッファ部142は同じ回路を用いることができる。なお、この構成はアナログ駆動を行う場合の構成である。

10

20

30

40

50

【0159】また、本実施例ではトランスファゲート165a~165cとしてE型NTFTを並列に二つ設けているが、これは冗長設計であると同時に電流の供給能力を稼ぐための工夫である。また、166はビデオ信号線である。

【0160】ところで、本実施例においてデジタル駆動を行う場合、図14にて説明したラッチ122およびバッファ部123をNAND回路部141の下に設ければ良い。また、逆に実施例4において、図14に示したソース側駆動回路をアナログ駆動に対応させるにはラッチ122を省略し、バッファ部123の後段に図16に示したトランスファゲートを設ければ良い。

【0161】以上のように、nチャネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべてnチャネル型TFTで形成することが可能となる。なお、ソース側駆動回路もしくはゲート側駆動回路のいずれか片方を外付けのICチップとする場合にも本発明は実施できる。

【0162】〔実施例6〕本実施例では、本発明のEL発光装置における画素構造の一例を図17に示す。図17(A)において、1701はゲート配線、1702はソース配線、1703は正電源線、1704は負電源線（接地電源線としても良い）である。また、1705~1708はE型NTFT、1709、1710はD型NTFTである。また、1711はEL素子であり、E型NTFT1708に接続される。

【0163】本実施例の画素構造は、一画素の中に6個のTFTを設け、SRAM（スタティックランダムアクセスメモリ）を形成している。具体的には複数のE型NTFTおよび複数のD型NTFTでSRAMを形成している。このように本発明を実施するにあたって一画素に含まれるTFTの個数に限定はない。

【0164】なお、本実施例の画素構造の場合、E型NTFT1705がスイッチングTFTとして機能し、E型NTFT1708が電流制御TFTとして機能する。また、E型NTFT1706およびD型NTFT1709からなるインバータ回路とE型NTFT1707およびD型NTFT1710からなるインバータ回路とを組み合わせることでメモリ機能を持たせている。

【0165】さらに、図17(B)は図17(A)に示した隣接する二つの画素を負電源線1704を共通化して対称に配置した例である。これにより画素部に設ける配線の本数を低減することができ、画素の高密度化が図れる。

【0166】なお、本実施例の構成は、実施例1~実施例5のいずれの構成とも組み合わせて実施することが可能である。

【0167】〔実施例7〕実施例4もしくは実施例5に示したソース側駆動回路およびゲート側駆動回路は、液晶表示装置に用いることも可能である。即ち、図3

(A)に示したEEMOS回路、図3(B)に示したEDMOS回路、図4に示したシフトレジスタ、図13に示したゲート側駆動回路もしくは図14に示したソース側駆動回路はいずれも液晶表示装置の駆動回路として用いることが可能である。

【0168】なお、液晶表示装置とは液晶パネルにFPC（フレキシブルプリントサーキット）が取り付けられた液晶モジュールを指す。なお、液晶モジュールにはFPCの先にPWB（プリント配線基盤）が設けられている場合も含むものとする。また、FPCにICを取り付けたTCP（Tape Carrier Package）の形態となっても良い。また、COG（Chip On Glass）によりICを基板上に実装しても良い。

【0169】〔実施例8〕本発明を実施するにあたって、TFTとしてはトップゲート型TFT（代表的にはプレーナ型TFT）だけでなく、ボトムゲート型TFT（代表的には逆スタガ型TFT）を用いても良い。また、半導体基板（代表的にはシリコン基板）に形成したMOSFETを用いることも可能である。

【0170】なお、本実施例の構成は実施例1~実施例7のいずれに含まれた構成とも組み合わせて実施することが可能である。

【0171】〔実施例9〕本発明を実施して形成された発光装置もしくは液晶表示装置は様々な電気器具の表示部として用いることができる。本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーションシステム、カーオーディオ、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報機器（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図20、図21に示す。

【0172】図20(A)はELディスプレイであり、筐体2001、支持台2002、表示部2003を含む。本発明の発光装置もしくは液晶表示装置は表示部2003に用いることができる。表示部2003にEL発光装置を用いる場合、自発光型であるためバックライトが必要なく薄い表示部とすることができる。

【0173】図20(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106を含む。本発明の発光装置もしくは液晶表示装置は表示部2102に用いることができる。

【0174】図20(C)はデジタルカメラであり、本体2201、表示部2202、接眼部2203、操作スイッチ2204を含む。本発明の発光装置もしくは液晶表示装置は表示部2202に用いることができる。

【0175】図20(D)は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体（CD、LDまたはDVD等）2302、

操作スイッチ2303、表示部(a)2304、表示部(b)2305を含む。表示部(a)は主として画像情報を表示し、表示部(b)は主として文字情報を表示するが、本発明の発光装置もしくは液晶表示装置はこれら表示部(a)、(b)に用いることができる。なお、記録媒体を備えた画像再生装置には、CD再生装置、ゲーム機器なども含まれる。

【0176】図20(E)は携帯型(モバイル)コンピュータであり、本体2401、表示部2402、受像部2403、操作スイッチ2404、メモリスロット2405を含む。本発明の発光装置もしくは液晶表示装置は表示部2402に用いることができる。この携帯型コンピュータはフラッシュメモリや不揮発性メモリを集積化した記録媒体に情報を記録したり、それを再生したりすることができる。

【0177】図20(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504を含む。本発明の発光装置もしくは液晶表示装置は表示部2503に用いることができる。

【0178】また、上記電気器具はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。表示部にEL発光装置を用いた場合、EL発光装置の応答速度が非常に高いため遅れの少ない動画表示が可能となる。

【0179】また、EL発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部にEL発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0180】ここで図21(A)は携帯電話であり、キー操作を行う部位(操作部)2601、情報表示を行う部位(情報表示部)2602であり、操作部2601および情報表示部2602は連結部2603で連結している。また、操作部2601には音声入力部2604、操作キー2605が設けられ、情報表示部2602には音声出力部2606、表示部2607が設けられている。

【0181】本発明の発光装置もしくは液晶表示装置は表示部2607に用いることができる。なお、表示部2607にEL発光装置を用いる場合、黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0182】図21(A)に示した携帯電話の場合、表示部2604に用いたEL発光装置にNMOS回路でセンサ(NMOSセンサ)を内蔵させ、指紋もしくは手相を読みとることで使用者を認証する認証システム用端末として用いることもできる。また、外部の明るさ(照度)を読みとり、設定されたコントラストで情報表示が

可能となるように発光させることもできる。

【0183】さらに、操作スイッチ2605を使用している時に輝度を下げ、操作スイッチの使用が終わったら輝度を上げることで低消費電力化することができる。また、着信した時に表示部2604の輝度を上げ、通話中は輝度を下げることもによっても低消費電力化することができる。また、継続的に使用している場合に、リセットしない限り時間制御で表示がオフになるような機能を持たせることで低消費電力化を図ることもできる。なお、これらはマニュアル制御であっても良い。

【0184】また、図21(B)はオーディオであり、筐体2701、表示部2702、操作スイッチ2703、2704を含む。本発明の発光装置もしくは液晶表示装置は表示部2702に用いることができる。また、本実施例では車載用オーディオ(カーオーディオ)を示すが、据え置き型のオーディオ(オーディオコンポーネント)に用いても良い。なお、表示部2704にEL発光装置を用いる場合、黒色の背景に白色の文字を表示することで消費電力を抑えられる。

【0185】さらに、以上に示した電気器具は、表示部に用いた発光装置もしくは液晶表示装置に光センサを内蔵させ、使用環境の明るさを検知する手段を設けることもできる。表示部にEL発光装置を用いる場合、使用環境の明るさに応じて発光輝度を変調させるような機能を持たせることもできる。

【0186】具体的には表示部に用いたEL発光装置にNMOS回路で形成したイメージセンサ(面状、線状もしくは点状のセンサ)を設けたり、本体もしくは筐体にCCD(Charge Coupled Device)を設けることで実施できる。使用者は使用環境の明るさに比べてコントラスト比で100~150の明るさを確保できれば問題なく画像もしくは文字情報を認識できる。即ち、使用環境が明るい場合は画像の輝度を上げて見やすくし、使用環境が暗い場合は画像の輝度を抑えて消費電力を抑えるといったことが可能である。

【0187】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1~5のいずれの構成を含む発光装置もしくは液晶表示装置を用いても良い。

【0188】

【発明の効果】本発明を実施することにより、高い歩留まりで且つ低いコストで光取り出し効率の高い発光装置を製造することができ、画質が明るく安価な発光装置を提供することができる。また、画質が明るく安価な発光装置を表示部に用いることで画質が明るい表示部を有する安価な電気器具を提供することが可能となる。

【図面の簡単な説明】

【図1】 発光装置の断面構造を示す図。

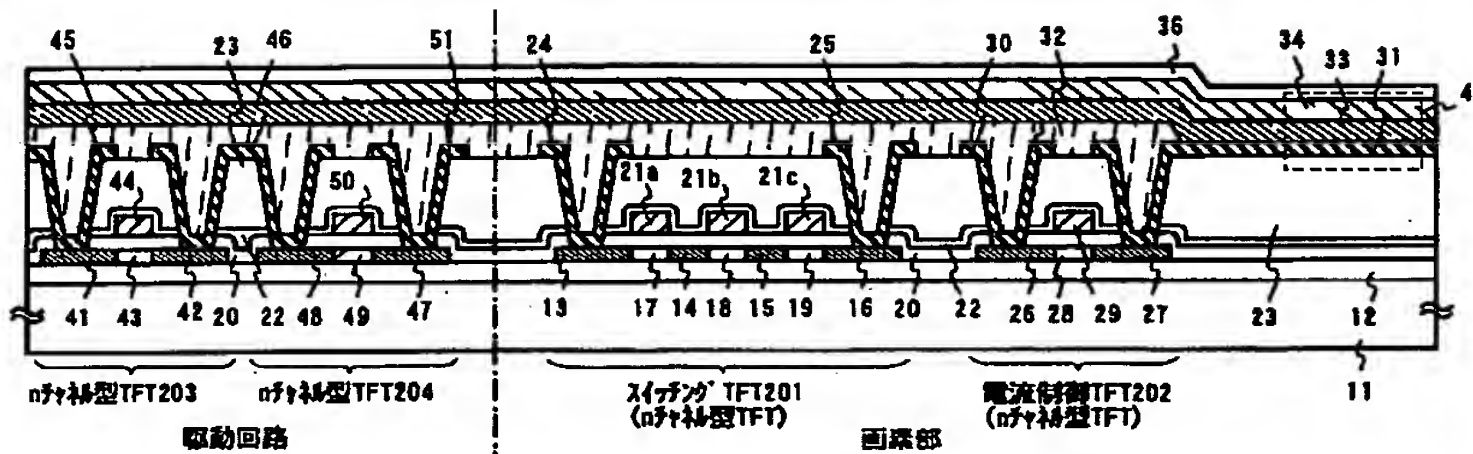
【図2】 発光装置の画素部の回路構成を示す図。



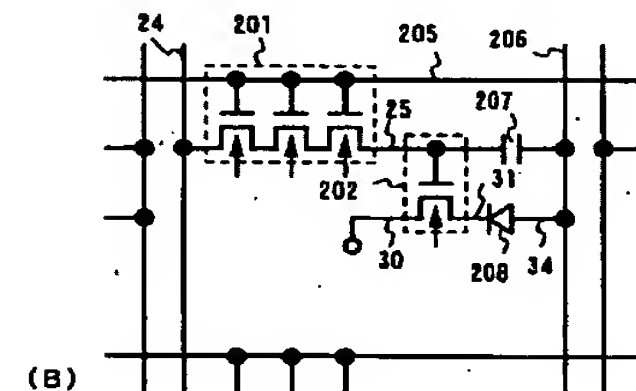
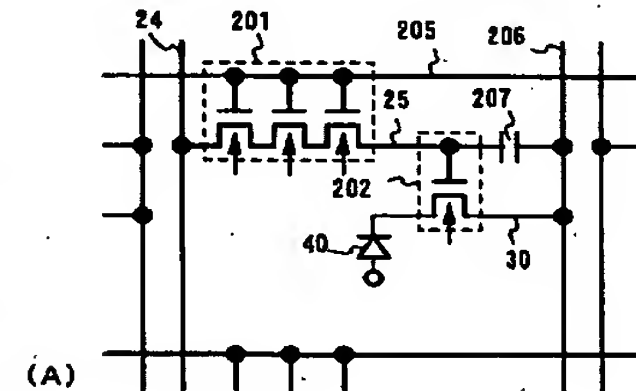
- 【図3】 NMOS回路の構成を示す図。  
 【図4】 シフトレジスタの構成を示す図。  
 【図5】 EL発光装置の製造工程を示す図。  
 【図6】 EL発光装置の製造工程を示す図。  
 【図7】 EL発光装置の製造工程を示す図。  
 【図8】 EL発光装置の回路ブロック構成を示す図。  
 【図9】 EL発光装置の断面構造を示す図。  
 【図10】 EL発光装置の断面構造を示す図。  
 【図11】 EL発光装置の製造工程を示す図。  
 【図12】 ゲート側駆動回路の構成を示す図。

- 【図13】 デコーダ入力信号のタイミングチャートを示す図。  
 【図14】 ソース側駆動回路の構成を示す図。  
 【図15】 ゲート側駆動回路の構成を示す図。  
 【図16】 ソース側駆動回路の構成を示す図。  
 【図17】 画素部の構成を示す図。  
 【図18】 従来のEL発光装置の断面構造を示す図。  
 【図19】 画素のTFTの配置例を示す図。  
 【図20】 電気器具の具体例を示す図。  
 【図21】 電気器具の具体例を示す図。

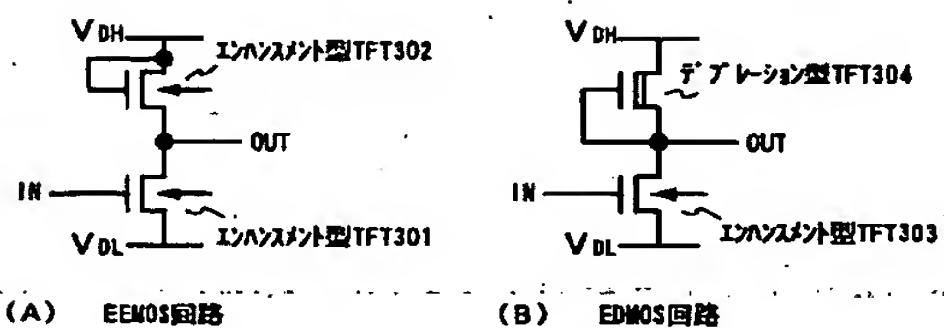
【図1】



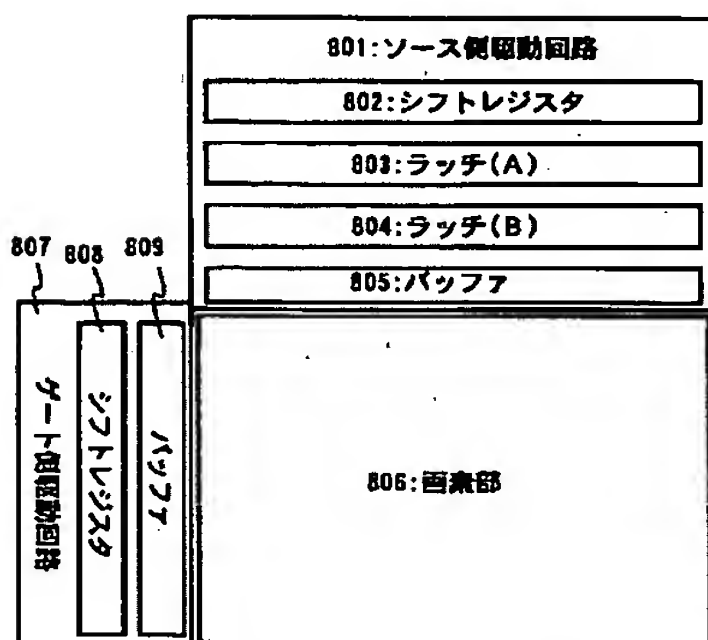
【図2】



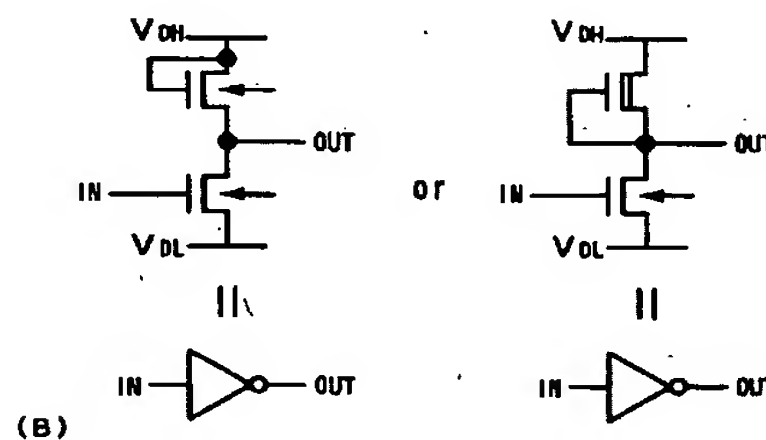
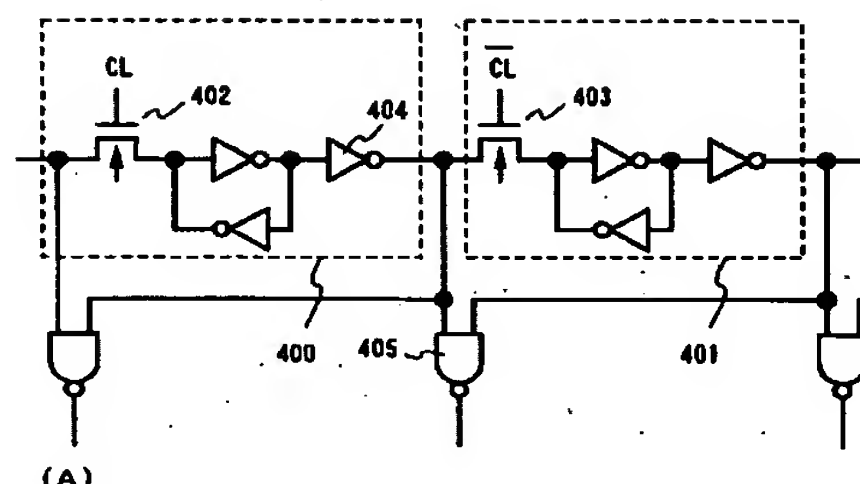
【図3】



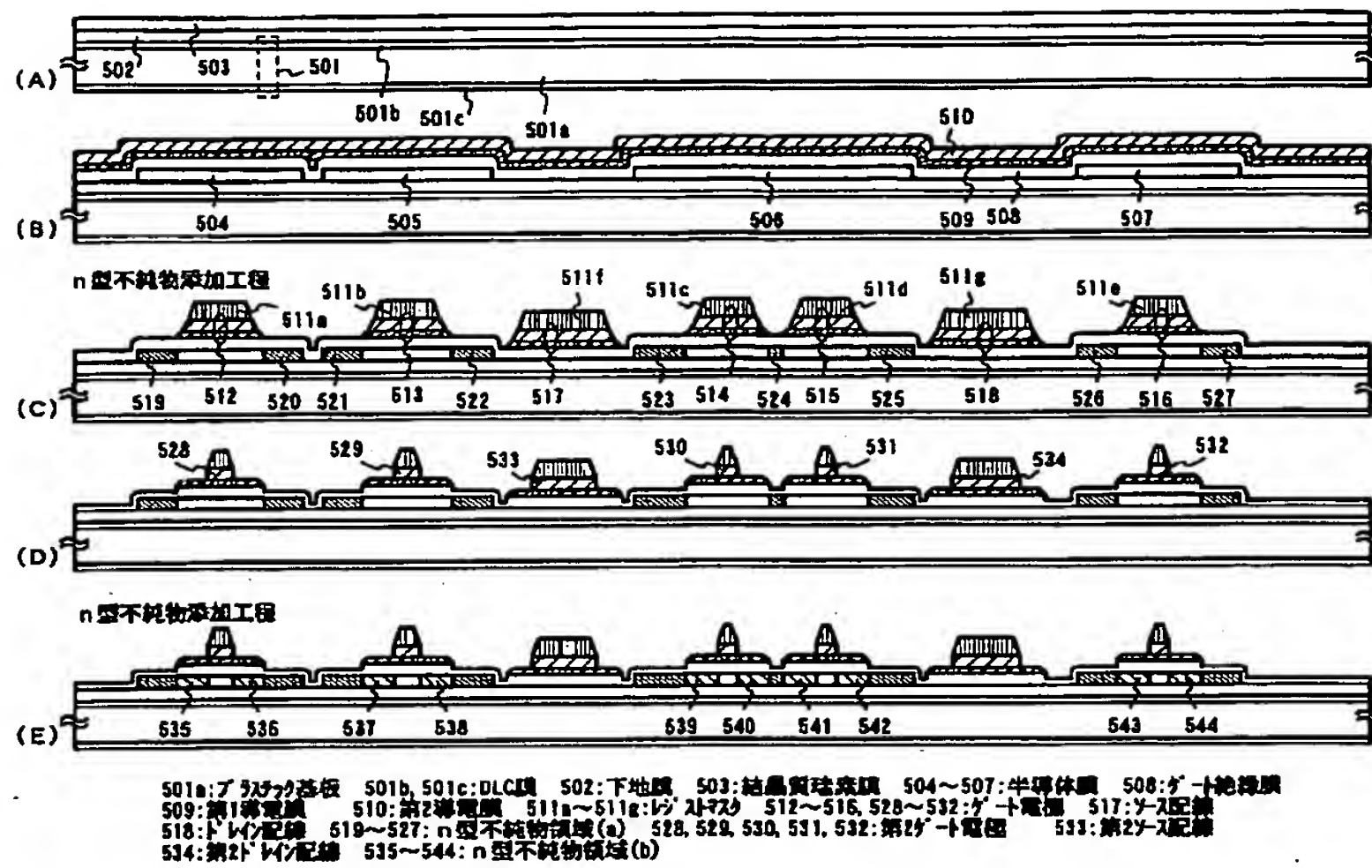
【図8】



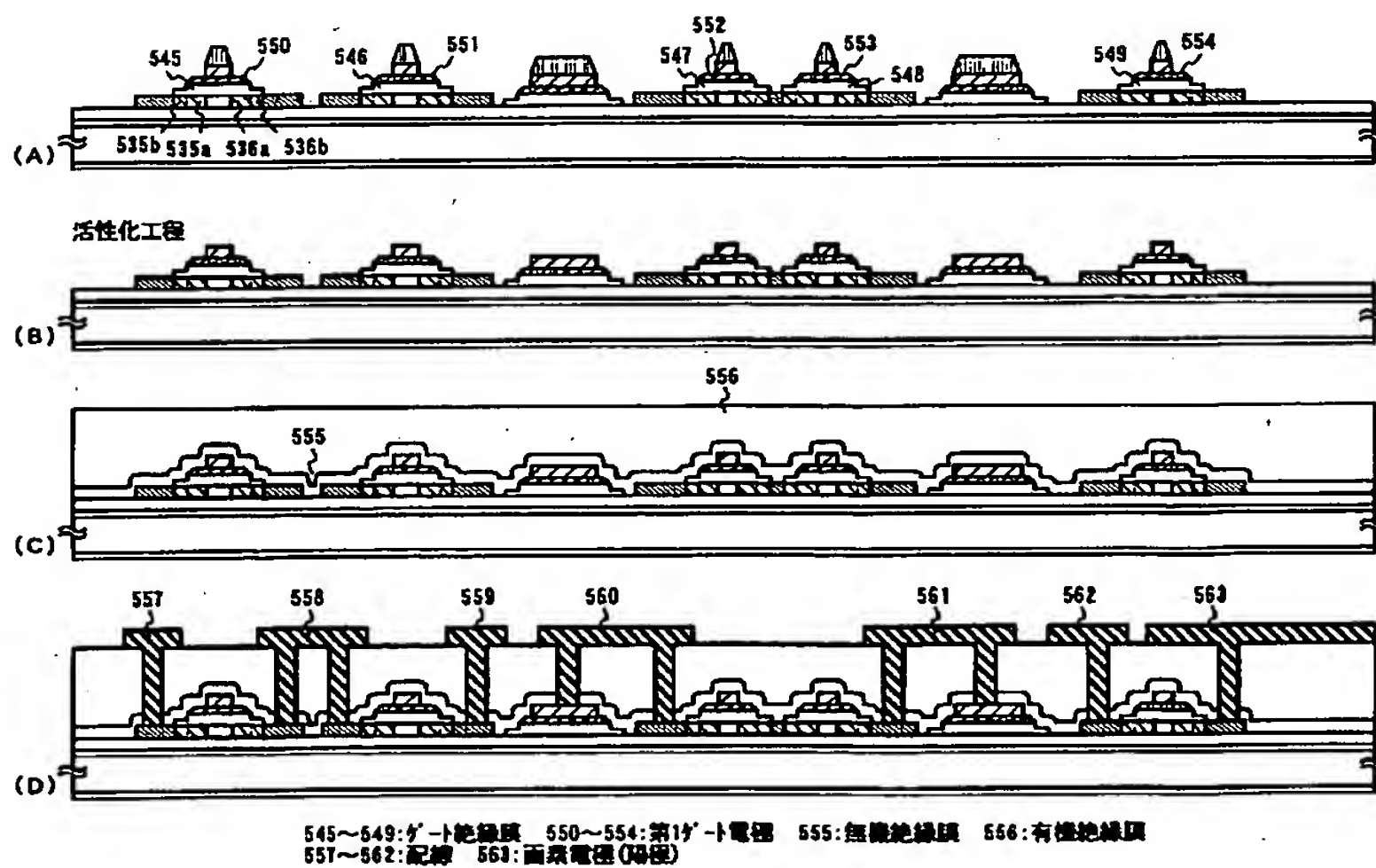
【図4】



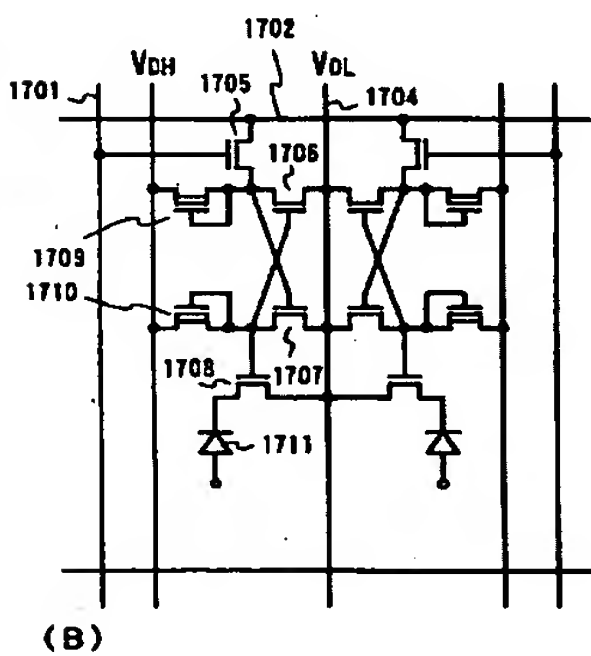
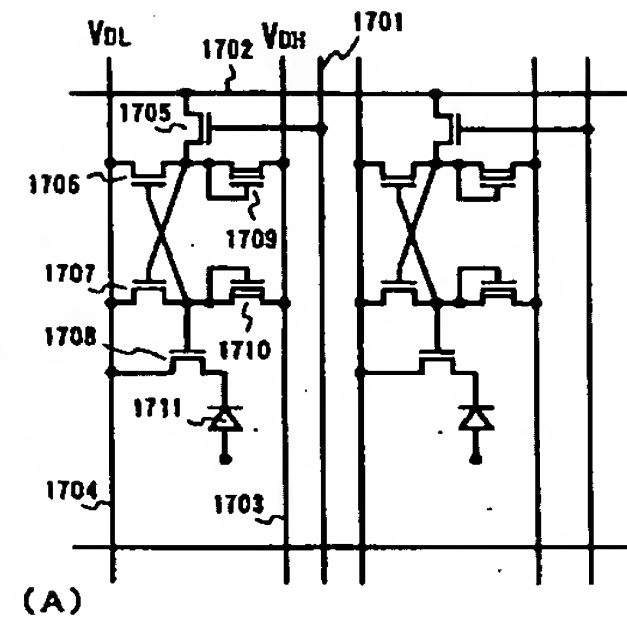
【図5】



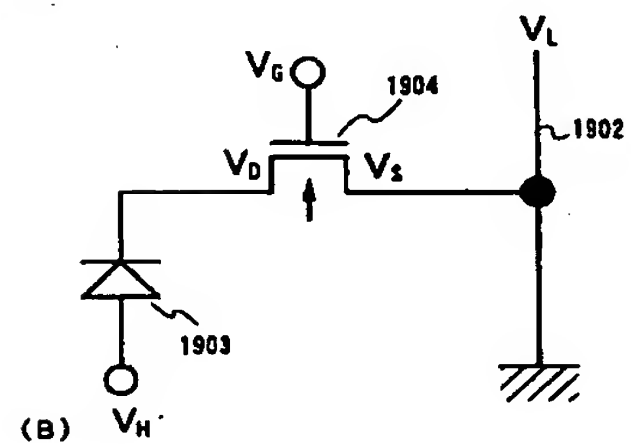
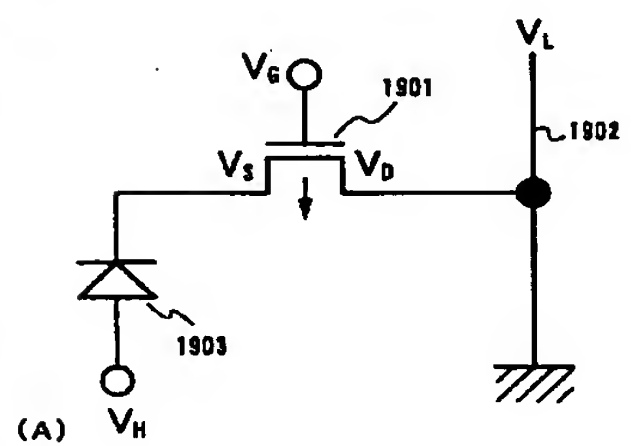
【図6】



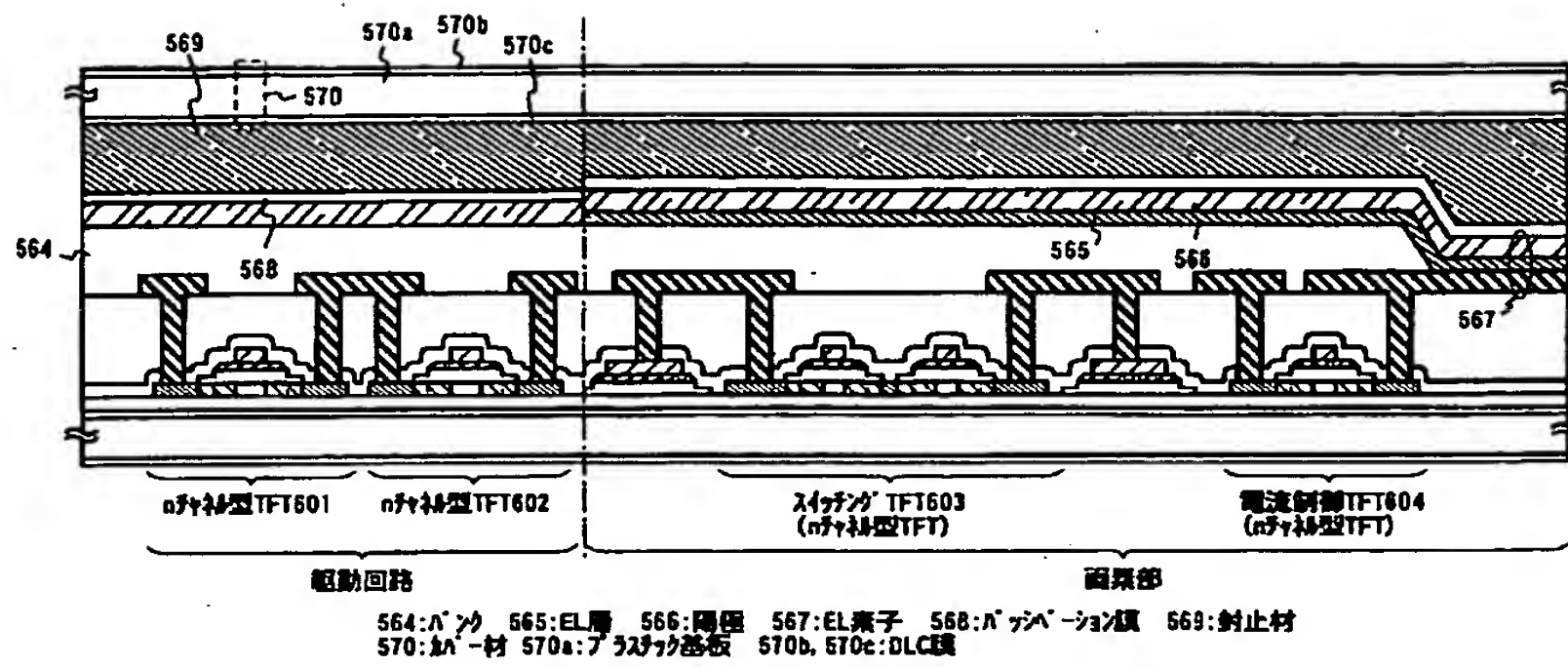
【図17】



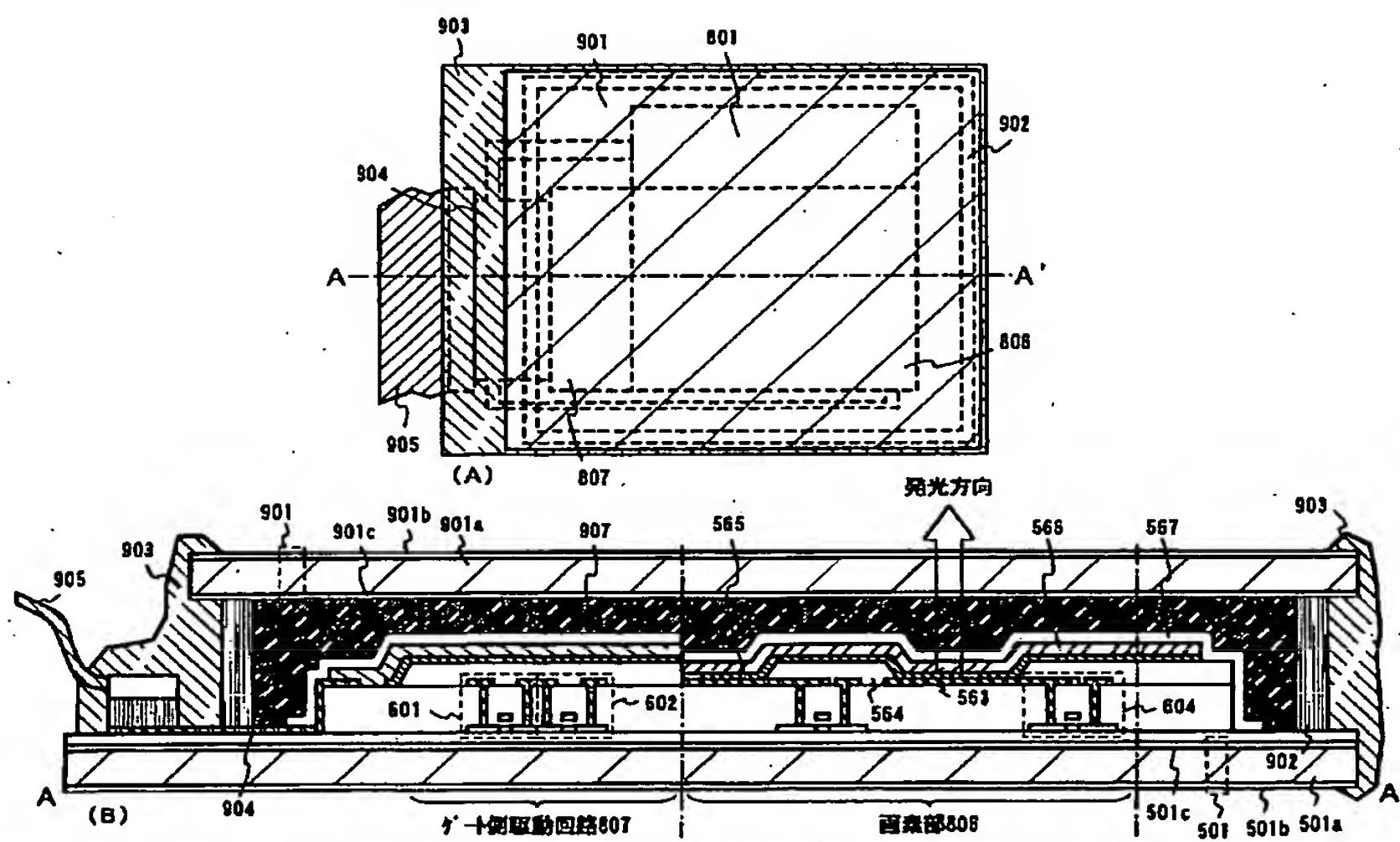
【図19】



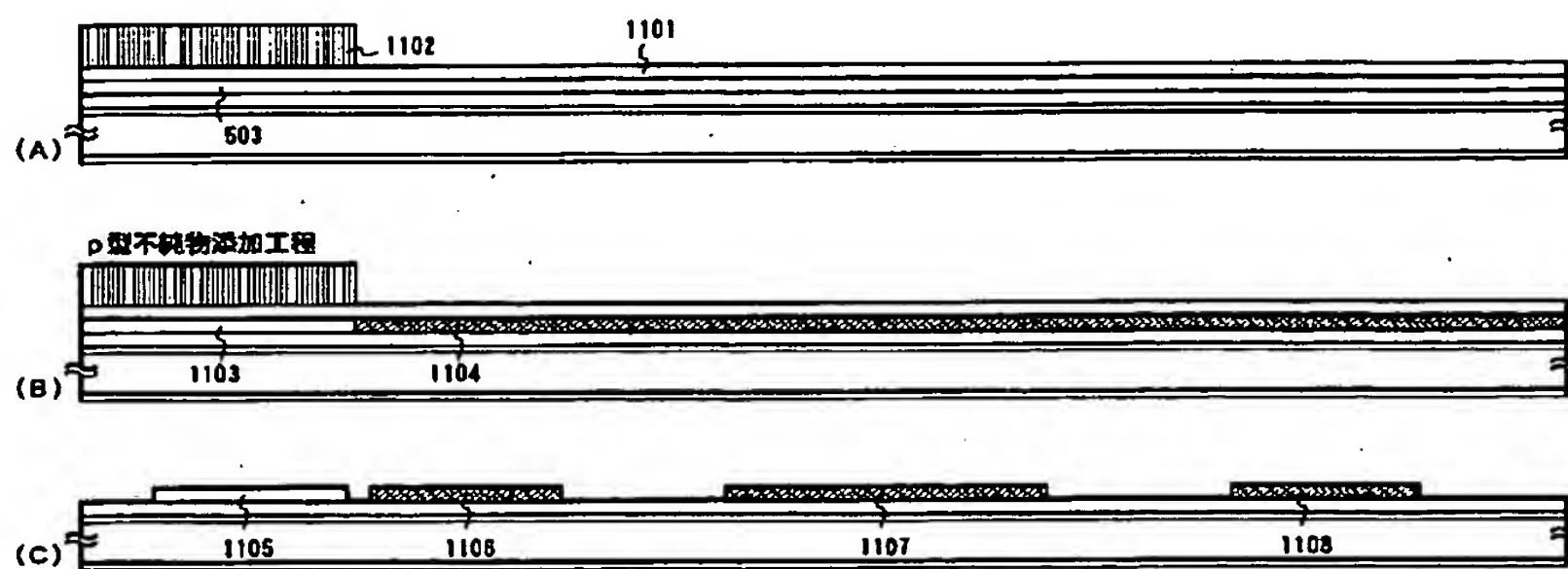
【図7】



【図9】



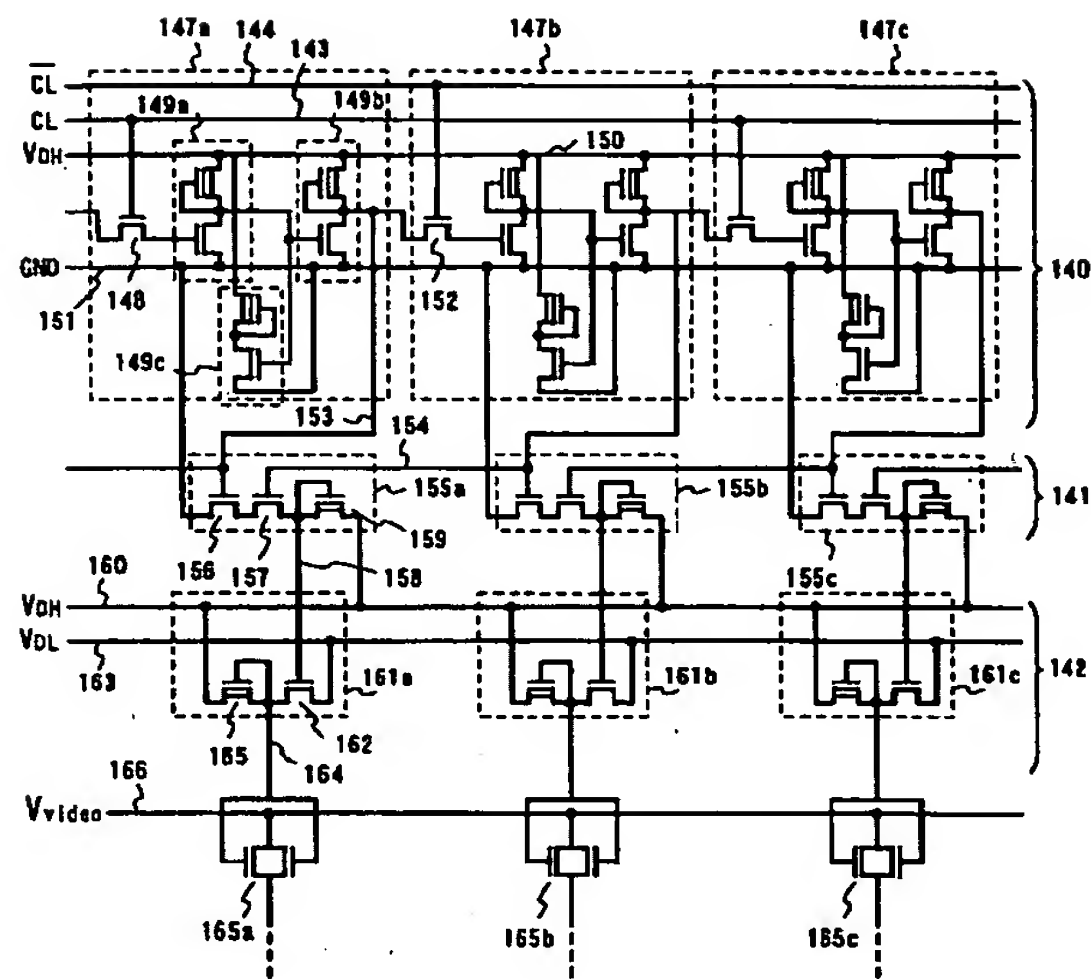
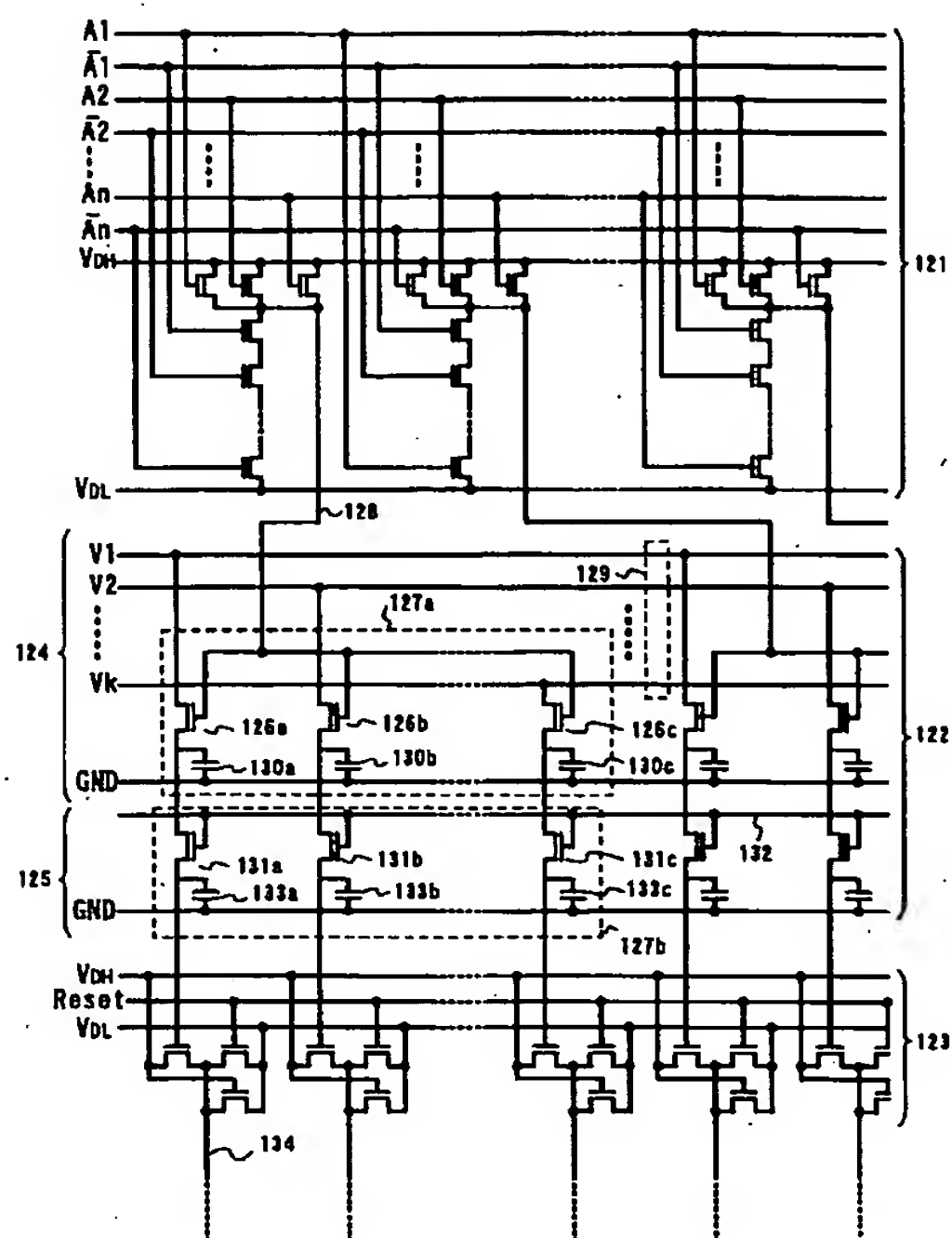
【図11】



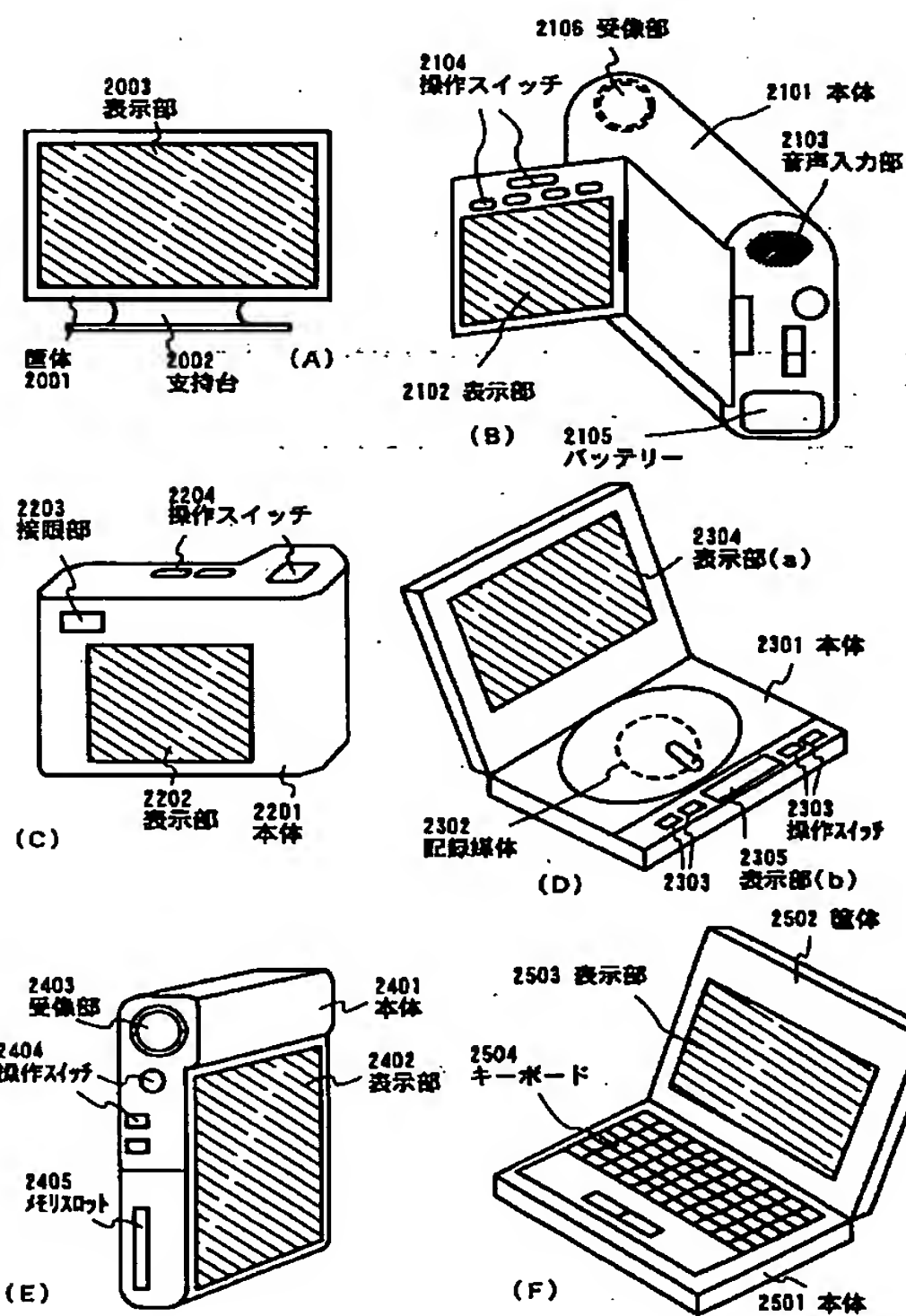




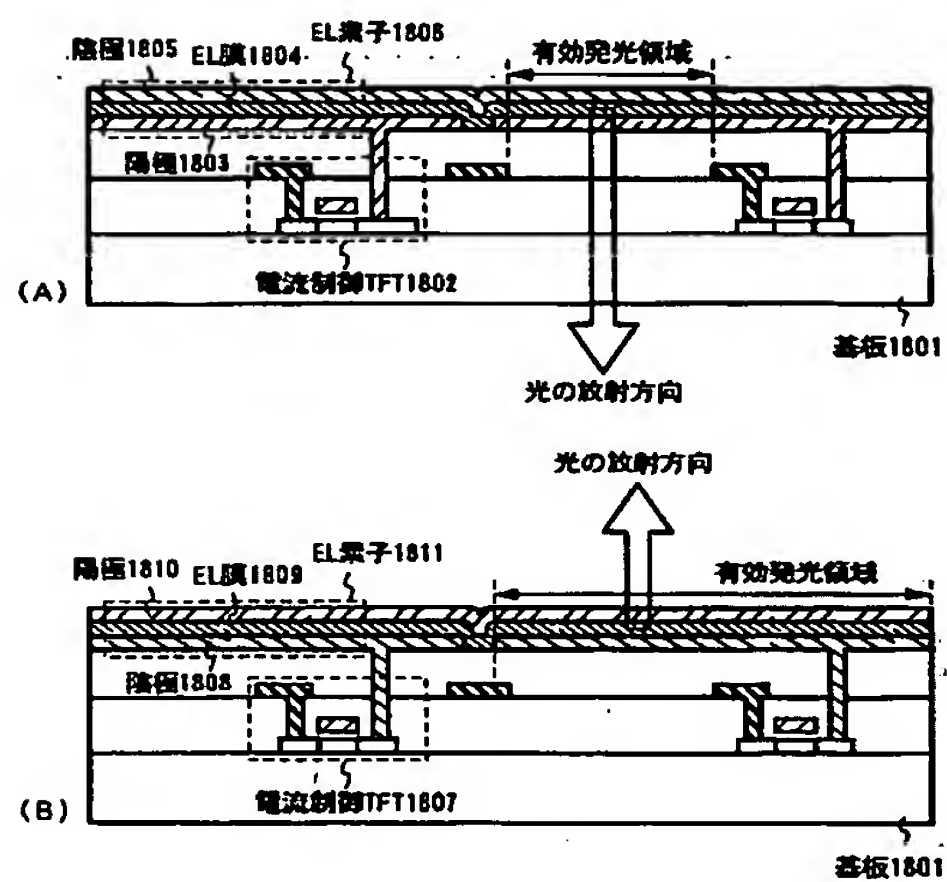
【图 16】



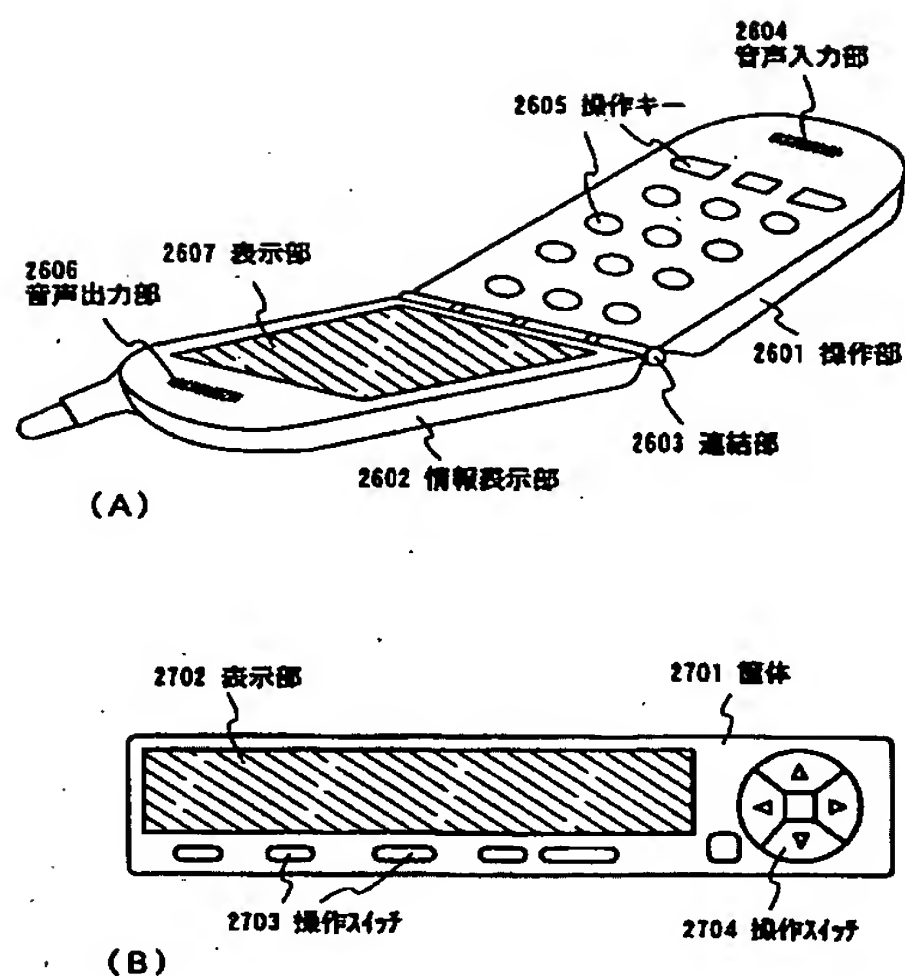
【図 20】



【図 18】



【図 21】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

H 0 5 B 33/14  
33/22

識別記号

F I

H 0 5 B 33/14  
33/22

テーマコード (参考)

A  
Z

F ターム (参考) 3K007 AB11 AB18 BA06 BB01 BB05  
CA05 CB01 DA01 DB03 EB00  
GA04  
5C094 AA10 AA31 AA43 AA44 BA03  
BA27 CA19 DA09 DA13 DB01  
DB04 EA04 EA05 EA10 EB02  
FA01 FA02 FB01 FB02 FB12  
FB14 FB15 GB10 HA10